

Name:**Matr.-Nr.:**

FH Dortmund

FB Informations- und Elektrotechnik

Grundlagen der Digitaltechnik GD

Klausur vom 19. 3. 2014

Aufgaben und Musterlösungen

1. Implementieren Sie die folgende Schaltfunktion mit einem Multiplexer (Abb. 1).

(10 Punkte)

$$D = \bar{A} \bar{B} \bar{C} \vee A \bar{B} C \vee \bar{A} B \bar{C}$$

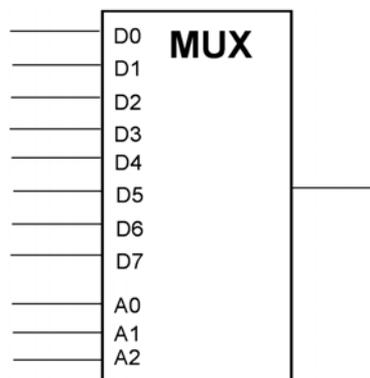
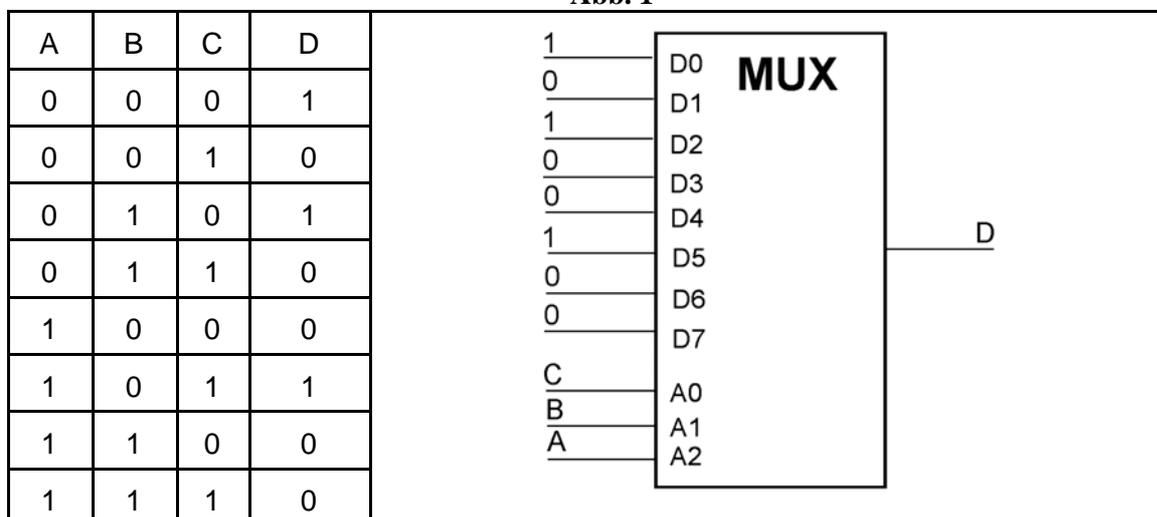


Abb. 1



2. Die Schaltung von Abb. 2 hat die Eingangssignale A bis F. Geben Sie die Schaltfunktion als disjunktive Normalform an.

(10 Punkte)

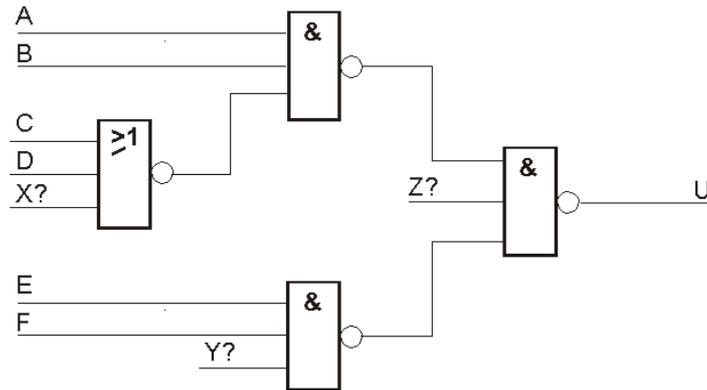


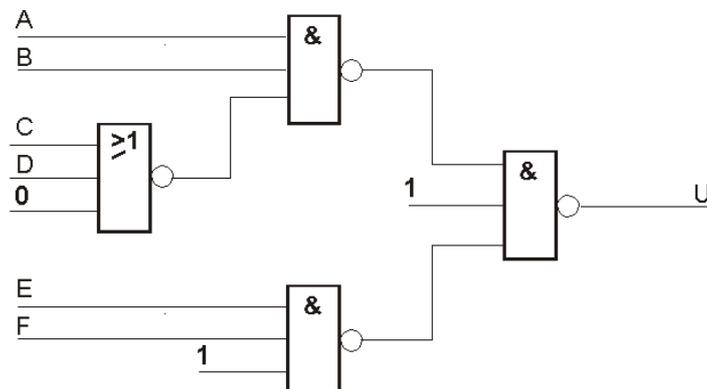
Abb. 2

$$U = A \cdot B \cdot \bar{C} \cdot \bar{D} \vee E \cdot F$$

Das NOR ist ein UND für negierte Signale: $\overline{C \vee D} = \bar{C} \cdot \bar{D}$ (DeMorgan; break the line and change the sign.)

3. Wir bleiben bei Abb. 2. Manchmal muß man sich zu helfen wissen. Hier wurden Gatter mit drei Eingängen eingesetzt, weil keine anderen zur Hand waren. Geben Sie an (einzeichnen), welche Pegel an die freien Eingänge X, Y, Z anzulegen sind, damit die Schaltung funktioniert.

(3 Punkte)



Die Festbeschaltung darf die Funktion des Gatters nicht verhindern oder verändern. Deshalb das ODER mit Null beschalten und das UND mit Eins.

$$A \vee 0 = A; \quad A \cdot 1 = A$$

4. Erläutern Sie kurz die Fachbegriffe "positive Logik" und "negative Logik".

(4 Punkte)

Die Fachbegriffe betreffen die Zuordnung der logischen Werte (Wahrheitswerte) zu den Signalpegeln (Low und High).

Signalpegel	Positive Logik	Negative Logik
Low	0	1
High	1	0

5. Abb. 3 zeigt drei Arten von Gattern. Die Schaltsymbole sollen für positive Logik gelten. Welches dieser Gatter ist als NOR in negativer Logik einsetzbar?

(5 Punkte)

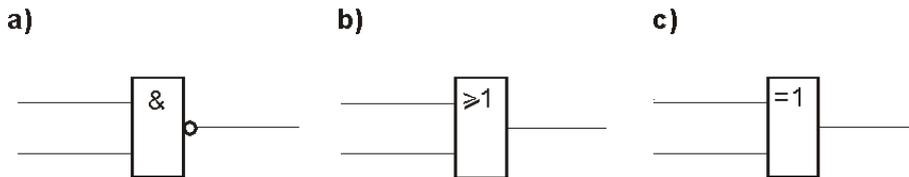


Abb. 3

Es ist das NAND, also Symbol a).

Das NAND mit 0 = Low und 1 = High:

Eingänge		Ausgang	Eingänge		Ausgang
0	0	1	Low	Low	High
0	1	1	Low	High	High
1	0	1	High	Low	High
1	1	0	High	High	Low

Das NOR mit 0 = High und 1 = Low:

Eingänge		Ausgang	Eingänge		Ausgang
0	0	1	High	High	Low
0	1	0	High	Low	High
1	0	0	Low	High	High
1	1	0	Low	Low	High

Offensichtlich sind die Funktionstabellen der Pegel genau gleich (nur umgekehrte Reihenfolge). Nur wenn beide Eingänge High sind, ergibt sich am Ausgang ein Low.

6. Abb 4 zeigt ein Schaltsymbol und einen zugehörigen Signalverlauf.

- Worum handelt es sich?
- Erläutern Sie kurz die Wirkungsweise.
- Ist der Verlauf des Ausgangssignals (in Abb. 4) in Ordnung oder nicht? (Ggf. fehlerhafte Abschnitte kennzeichnen. Was sollte herauskommen?)

(12 Punkte)

- Es ist ein XOR mit drei Eingängen.
- Es erscheint immer dann eine Eins am Ausgang, wenn die Anzahl der Einsen an den Eingängen ungerade ist.
- Siehe Abbildung. Das Ausgangssignal ist offensichtlich immer dann inkorrekt, wenn an allen drei Eingängen Einsen anliegen.

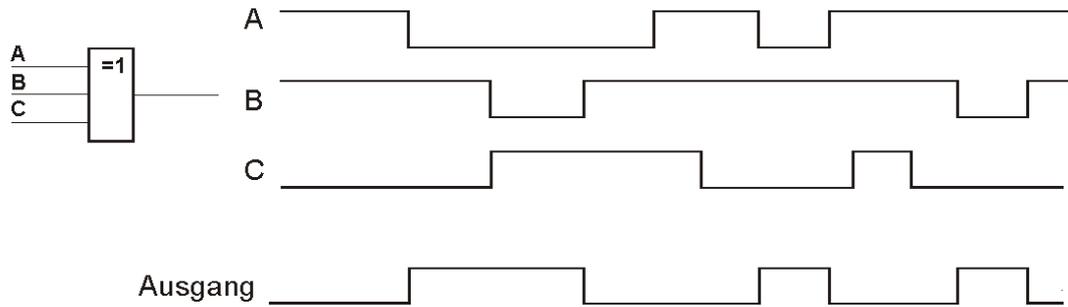
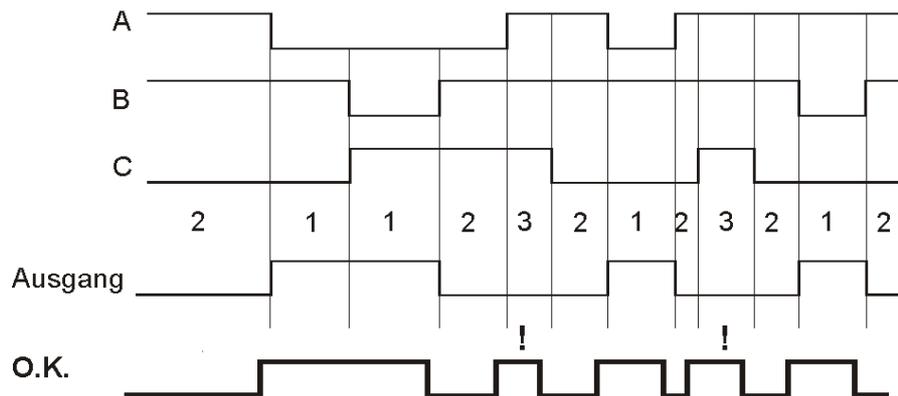
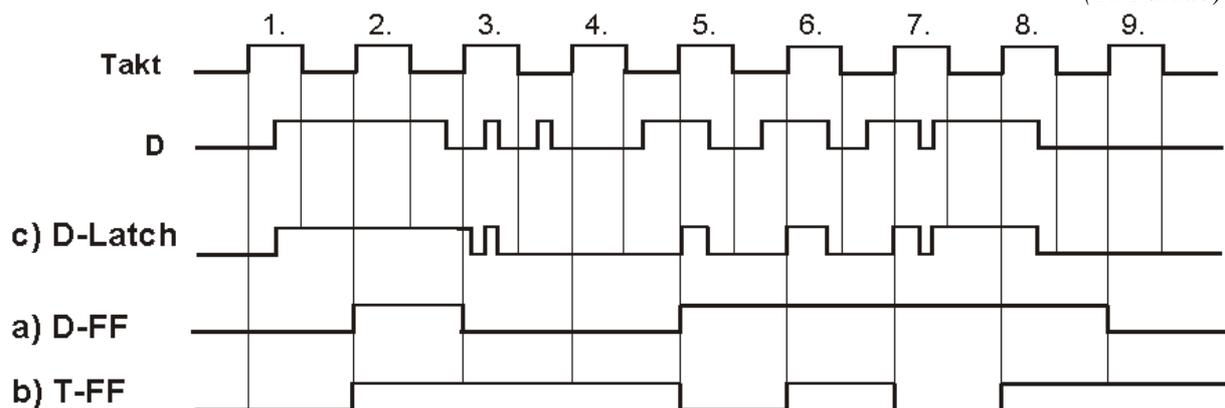


Abb. 4



7. In Abb. 5 (Seite 7) geht es um drei Speicherglieder, ein D-Flipflop, ein T-Flipflop und ein D-Latch. Der Signalverlauf am Eingang ist vorgegeben. Zeichnen Sie ein, wie das Signal am jeweiligen Ausgang (Q) aussieht. Alle Speicherglieder sind anfänglich zurückgesetzt ($Q = 0$). Der Takt wirkt mit der Low-High-Flanke bzw. dem High-Pegel.

(15 Punkte)



Beim D-Latch ist der gesamte Taktimpuls auszuwerten (deshalb wird dieser Signalverlauf hier ganz oben dargestellt). Ist der Takt aktiv, erscheint das Eingangssignal 1:1 am Ausgang (Transparenz). Wird der Takt inaktiv, so wird der Eingangspegel gehalten, der während der High-Low-Flanke des Taktsignals angelegen hat. Bei den Flipflops ist nur die Low-High-Flanke des Taktsignals von Bedeutung. D-Flipflop: der jeweilige Datenpegel wird übernommen und gehalten. T-Flipflop: ist das Eingangssignal High, so ändert sich das Ausgangssignal.

8. Womit müssen Sie rechnen (Fachbegriff + kurze Erläuterung), wenn Eingangssignale an Registern innerhalb der vorgeschriebenen Setup- und Haltezeit-Intervalle umschalten (d. h., wenn sie zu solchen Zeiten schalten, wo sie an sich stabil anliegen müßten)?

(5 Punkte)

Der Fachbegriff: Metastabilität. Es können sich sog. metastabile Zustände ergeben. Dann schalten die Flipflopausgänge nicht schnell um. Sie führen zeitweise keine eindeutigen Logikpegel (Low oder High). Die Signalverläufe können abklingende Schwingungen sein, langsam ansteigende oder abfallende Signalpegel usw. Nachgeordnete Schaltungen können damit nicht arbeiten; es kommt zu zeitweiligen Fehlfunktionen.

9. Es geht um Zähler, die mit jeweils drei D-Flipflops aufgebaut sind und Ausgangssignale A, B, C abgeben (Abb. 6).

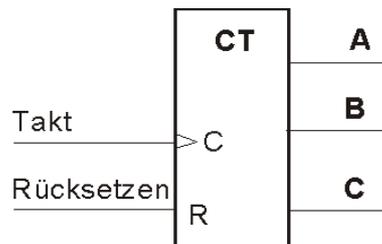


Abb. 6

- Entwerfen Sie einen Ringzähler, in dem eine Eins umläuft.
- Entwerfen Sie einen Johnsonzähler.
- Entwerfen Sie einen asynchronen Binärzähler.

Um Zeit zu sparen, können Sie Abb. 7 (Seite 8) nutzen. Denken Sie daran, mit dem Rücksetzsignal den jeweils erforderlichen Anfangszustand zu erzeugen. Die Flipflops können asynchron gesetzt (PR = Preset) und zurückgesetzt (CL = Clear) werden. Der Takt wirkt mit der Low-High-Flanke. Ungenutzte Eingänge dürfen Sie (ausnahmsweise hier, nicht aber in der Praxis) frei lassen.

(18 Punkte)

Siehe Abb. 7.

10. Wir bleiben bei Aufgabe 9. Zeichnen Sie in Abb. 8 (Seite 9) die jeweiligen Signalverläufe eines Zählerumlaufs ein.

(12 Punkte)

Siehe Abb. 8. Der Ablauf beginnt dort jeweils mit dem ersten Takt nach dem Rücksetzen. Alle Darstellungen gelten als richtig, aus denen das Prinzip der jeweiligen Zählfunktion eindeutig erkennbar ist.

11. Entwerfen Sie eine Zählung mit drei T-Flipflops A, B, C, die gemäß Tabelle 1 zyklisch zählt (von Stellung 5 wieder nach Stellung 1). Beim Einschalt-rücksetzen wird Stellung 1 eingenommen (asynchrones Rücksetzen; darum müssen Sie sich nicht kümmern). Es genügt, die Schaltgleichungen für die T-Eingänge anzugeben. Minimierung ist nicht erforderlich.

(10 Punkte)

Stellung	A	B	C
1	0 !	0	0
2	1	0 !	0
3	1	1	0 !
4	1 !	1	1 !
5	0	1 !	0

Tabelle 1

In welchen Stellungen ist welcher Pegel mit dem jeweils nachfolgenden Takt zu ändern? Siehe die Ausrufungszeichen. Demnach ergibt sich:

$$TA = \bar{A} \cdot \bar{B} \cdot \bar{C} \vee A \cdot B \cdot C$$

$$TB = A \cdot \bar{B} \cdot \bar{C} \vee \bar{A} \cdot B \cdot \bar{C}$$

$$TC = A \cdot B \cdot \bar{C} \vee A \cdot B \cdot C$$

12. Minimieren Sie die folgende Schaltfunktion mittels KV-Diagramm (Karnaugh-Plan). Sie dürfen auch eine andere Vorlage verwenden.

$$\bar{a}\bar{b}(\bar{c}\bar{d} \vee cd) \vee \bar{a}bcd \vee abc$$

Folgende Signalbelegungen kommen in der betreffenden Anwendung nicht vor:

a	b	c	d
1	0	1	0
1	1	1	0

(10 Punkte)

Den Ausdruck zunächst in eine DNF umformen:

$$a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \vee a \cdot \bar{b} \cdot c \cdot d \vee \bar{a} \cdot b \cdot c \cdot \bar{d} \vee a \cdot b \cdot c \cdot \bar{d} \vee a \cdot b \cdot c \cdot d$$

Die Belegungen, die nicht vorkommen, können als Don't Cares eingetragen werden. Es sind:

$$a \cdot \bar{b} \cdot c \cdot \bar{d}$$

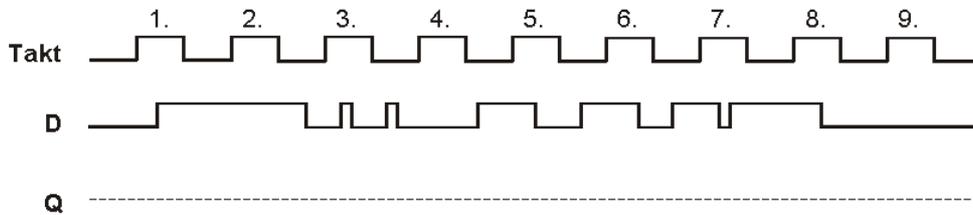
$$a \cdot b \cdot c \cdot \bar{d}$$

Die zweite ist schon im ursprünglichen Ausdruck enthalten, die erste wird als X eingetragen.

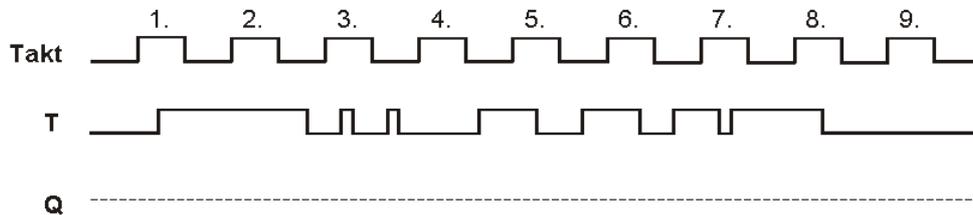
		CD:				
		0 0	0 1	1 1	1 0	
AB:						AB:
00		0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} \bar{c} d$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$	00
01		4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b \bar{c} d$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$	01
11		12 = $a b \bar{c} \bar{d}$	13 = $a b \bar{c} d$	15 = $a b c d$	14 = $a b c \bar{d}$	11
10		8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} \bar{c} d$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$	10
		0 0	0 1	1 1	1 0	
		CD:				

$$a \cdot c \vee a \cdot \bar{b} \cdot \bar{d} \vee b \cdot c \cdot \bar{d}$$

a) D-Flipflop



b) T-Flipflop



c) D-Latch

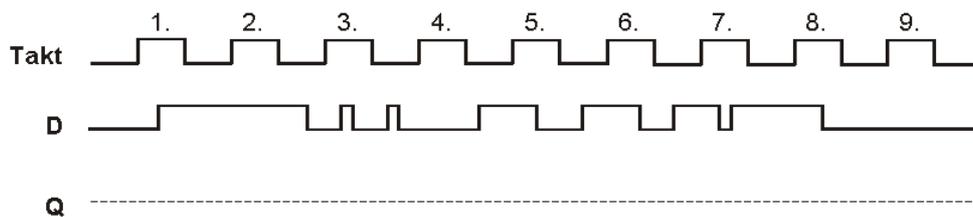
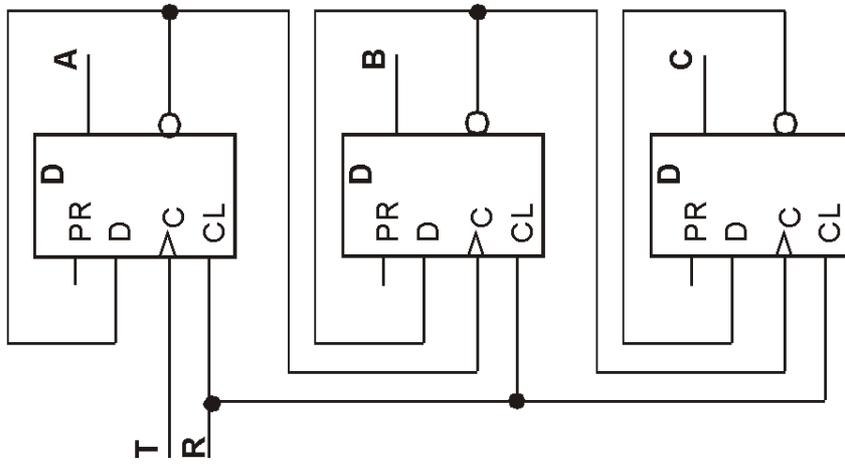
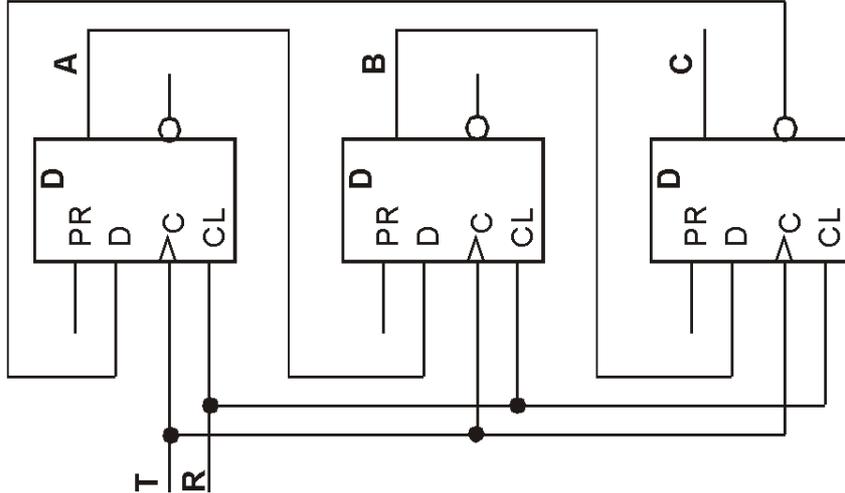


Abb. 5

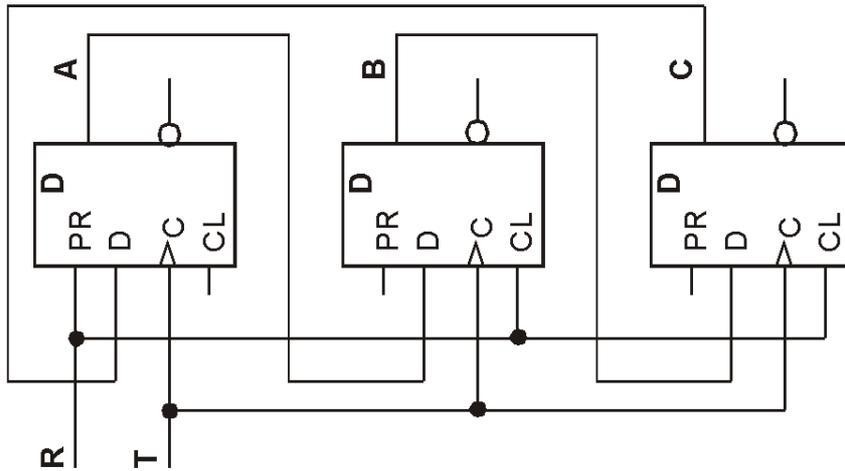
c) Asynchroner Binärzähler



b) Johnsonzähler

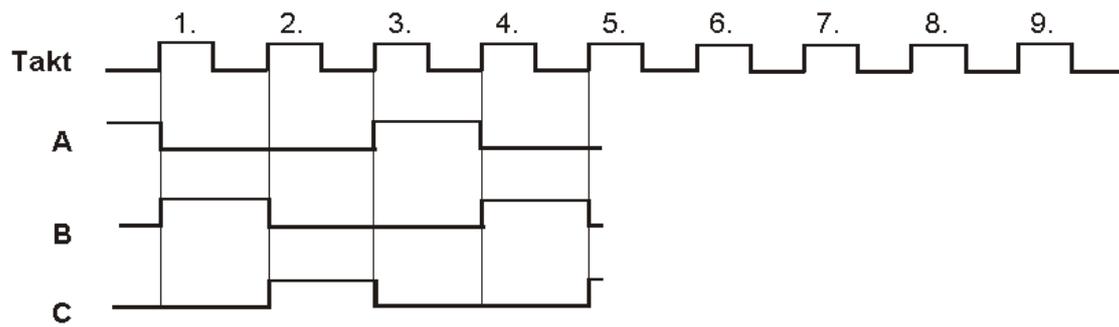
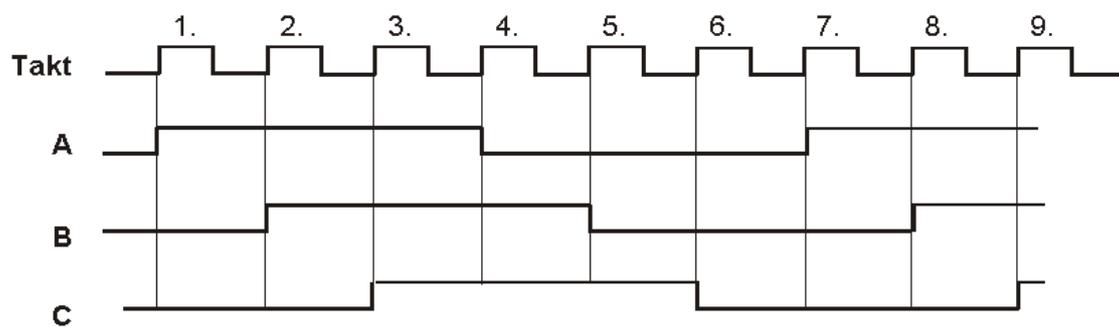
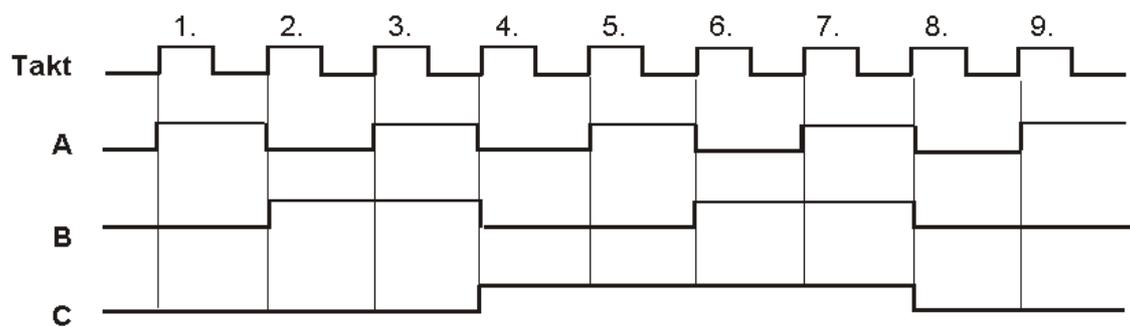


a) Ringzähler



Takt = T; Rücksetzen = R

Abb. 7

a) Ringzähler**b) Johnsonzähler****c) Asynchroner Binärzähler****Abb. 8**