FH Dortmund **FB Informations- und Elektrotechnik**

Grundlagen der Digitaltechnik GD

Klausur vom 16. 7. 2015

Aufgaben und Musterlösungen

1. Realisieren Sie die Verknüpfung $\left(A \oplus \overline{B}\right) \cdot C$ mit einem Multiplexer (Abb. 1).

   Praxistip: Erst einmal die Wahrheitstabelle erstellen...

(10 Punkte)

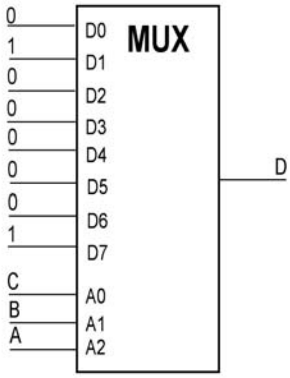


Abb. 1

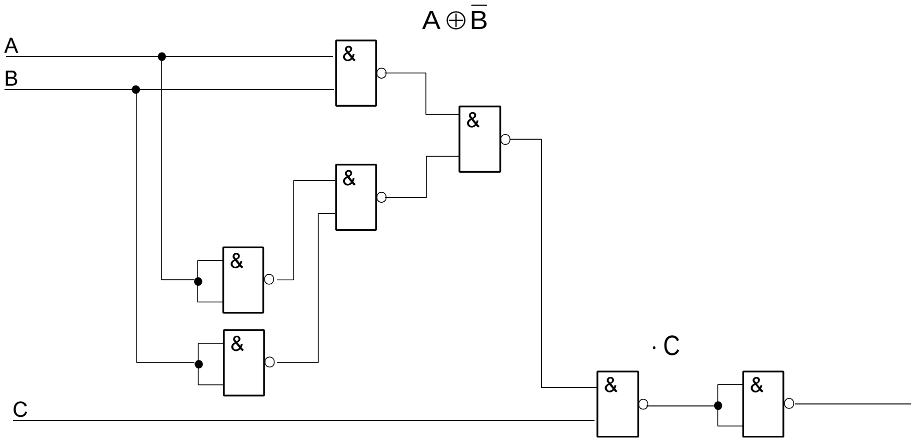
A	B	C	$A \oplus \overline{B}$	$(A \oplus \overline{B}) \cdot C$
0	0	0	1	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

2. Wir bleiben bei der Verknüpfung von Aufgabe 1. Entwerfen Sie eine Gatterschaltung, die diese Funktion realisiert. Hierbei sind lediglich NAND-Gatter mit zwei Eingängen zugelassen. Die Signale A, B, C liegen unnegiert vor. Die Negation ist ggf. mit Gattern zu implementieren. Denken Sie auch an Kleinigkeiten, wie ungenutzte Eingänge.

(10 Punkte)

Es gibt mehrere Möglichkeiten. Im folgenden werden zwei besonders naheliegende gezeigt.

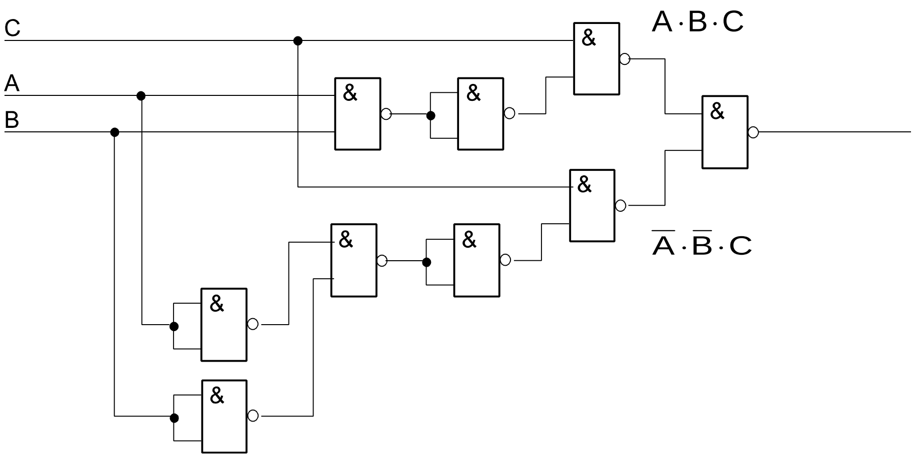
Der Ausdruck gemäß Aufgabentext 1 wird 1:1 implementiert. Die XOR-Verknüpfung mit einer negierten Variablen ist gleich der XNOR-Verknüpfung.



Wir nehmen die Wahrheitstabelle der Lösung von Aufgabe 1 und lesen daraus die DNF ab. Es sind nur zwei Terme:

$$\overline{A}\cdot\overline{B}\cdot C \vee A\cdot B\cdot C$$

Die UND-ODER-Struktur erfordert zwei UND-Gatter mit drei Eingängen und ein ODER-Gatter mit zwei Eingängen. Beide Gattertypen kann man mit NANDs aufbauen (NAND – NAND = UND – ODER). Das einzige Problem ist, ein NAND-Gatter mit drei Eingängen zu bauen. Achtung – NANDs lassen sich nicht kaskadieren...



3. Die Schaltung von Abb. 2 hat ziemlich viele Negatoren. Geben Sie eine Alternative an, die mit einem einzigen Gatter auskommt (gleich welcher Art), aber keine Negatoren an den Eingängen benötigt. *(5 Punkte)*

Die Schaltfunktion: $\overline{A} \vee \overline{B} \vee \overline{C} \vee \overline{D}$

Nach DeMorgan entspricht dies: $\overline{A\cdot B\cdot C\cdot D}$

Also genügt eine NAND.

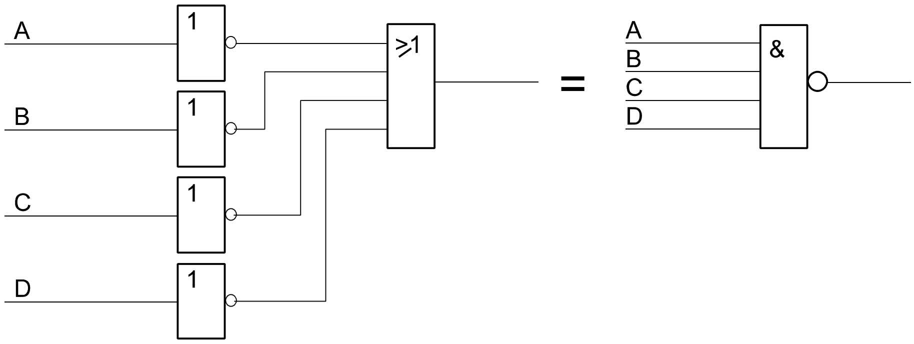


Abb. 2

4. Durch welches die hier dargestellten Gatter kann die in Abb. 3 oben gezeigte Schaltung ersetzt werden? (Kennzeichnen und angeben, an welchen Eingang welches Signal (A, B) anzuschließen ist.)

(8 Punkte)

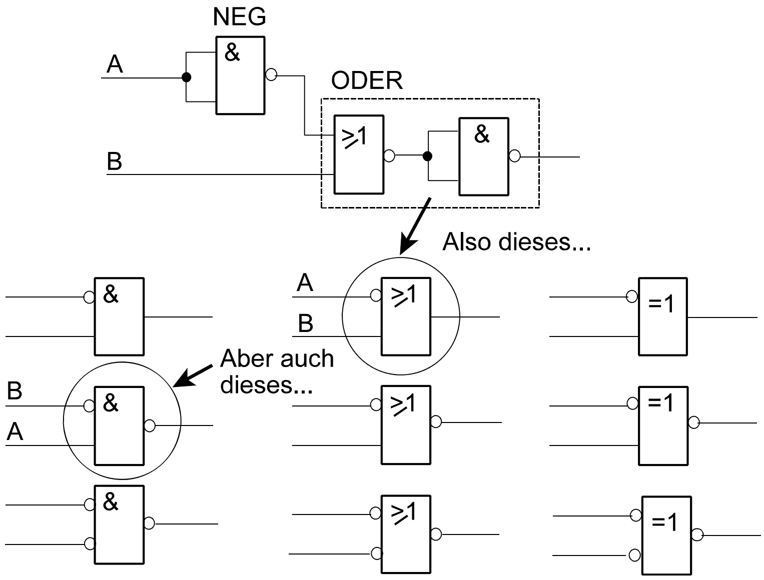
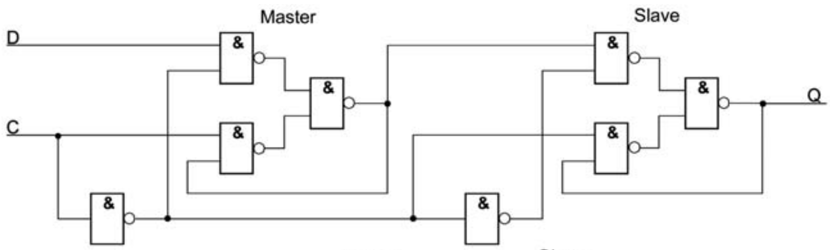


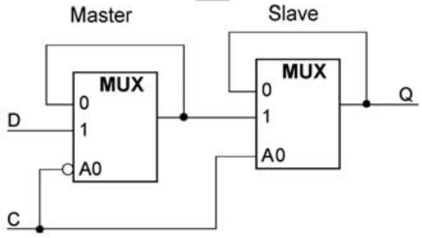
Abb. 3

Nach DeMorgan gilt $\overline{A} \vee B = \overline{A \cdot \overline{B}}$. Eines der beiden Gatter genügt als richtige Lösung.

5. Geben Sie an (Skizze, ggf. Funktionserläuterung), wie ein D-Flipflop auf Grundlage von 2-zu-1-Multiplexern aufgebaut werden kann.

(6 Punkte)





Beide Darstellungen gelten als richtig. Ist das Taktsignal Low, folgt der Ausgang des Masters dem Eingang D. Am Ausgang des Slaves ändert sich nichts (Speicherwirkung). Schaltet das Taktsignal auf High (Low-High-Flanke), so wird der Master gesperrt und speichert den jeweils aktuellen Pegel des D-Eingangs. Der Slave hingegen wird aktiv und reicht das Ausgangssignal des Masters (= den gespeicherten Wert) zum Ausgang Q durch.

6. Entwerfen Sie einen Ringzähler, der modulo 4 zählt. Grundlage: D-Flipflops gemäß Abb. 4. Das Eingangssignal: Takt CLK. Es soll eine Eins umlaufen. Die Flipflops haben aber keine Rücksetzeingänge. Lassen Sie sich was einfallen...

(10 Punkte)

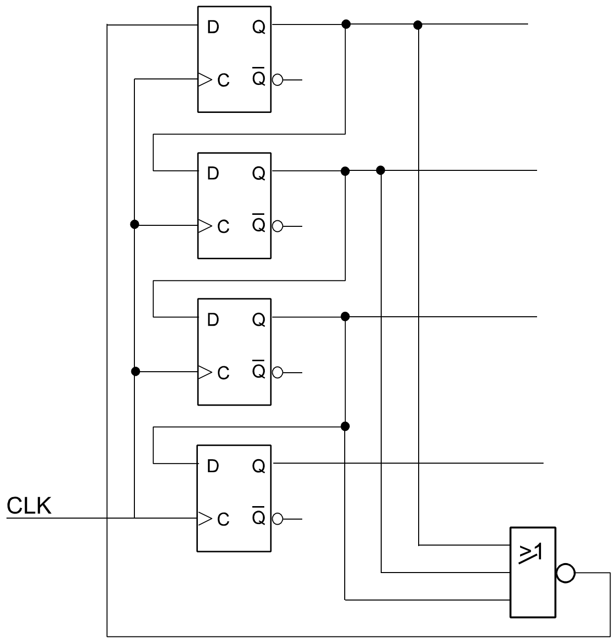


Abb. 4

Die drei ersten Flipflops sind an ein NOR-Gatter anzuschließen. Es gibt solange eine Null ab, bis alle drei Flipflops Nullpegel liefern. Dann erscheint eine Eins, die ins erste Flipflop eingespeist wird. Daraufhin geht der Ausgang des NOR wieder auf Null usw. (Prinzip vgl. Praktikum, 1. Versuch).

7. Entwerfen Sie eine Zählschaltung mit drei T-Flipflops A, B, C, die gemäß Tabelle 1 zyklisch zählt (von Stellung 6 wieder nach Stellung 1). Beim Einschaltrücksetzen wird Stellung 1 eingenommen (asynchrones Rücksetzen; darum müssen Sie sich nicht kümmern). Es genügt, die Schaltfunktionen für die T-Eingänge anzugeben. Minimierung ist nicht erforderlich.

(10 Punkte)

Stellung	C	B	A
1	0	0**!**	1
2	0	1	1**!**
3	0**!**	1	0
4	1	1	0**!**
5	1	1**!**	1
6	1**!**	0	1

Tabelle 1

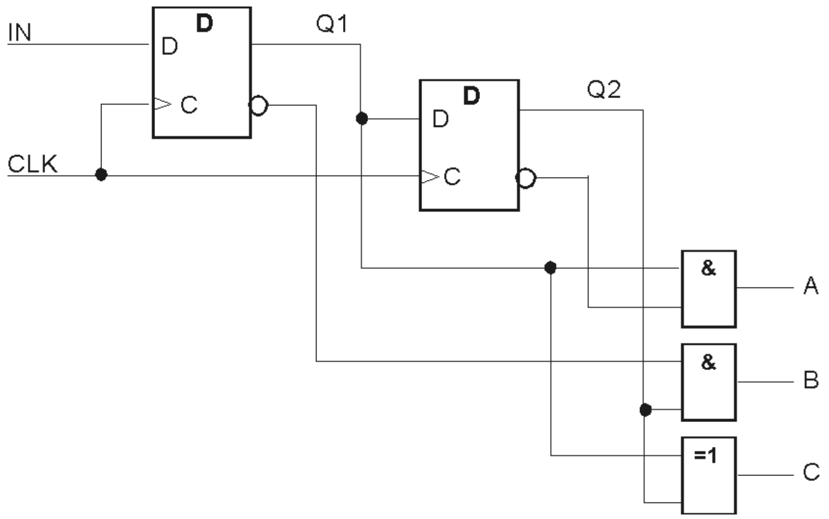
$$TA = A \cdot B \cdot \overline{C} \vee \overline{A} \cdot B \cdot C$$

$$TB = A \cdot \overline{B} \cdot \overline{C} \vee A \cdot B \cdot C$$

$$TC = \overline{A} \cdot B \cdot \overline{C} \vee A \cdot \overline{B} \cdot C$$

8. Abb. 5 zeigt eine Flipflopschaltung und ein Taktdiagramm. Zeichen Sie jeweiligen Signalverläufe ein. Die Flipflops sind anfänglich gelöscht.

(12 Punkte)



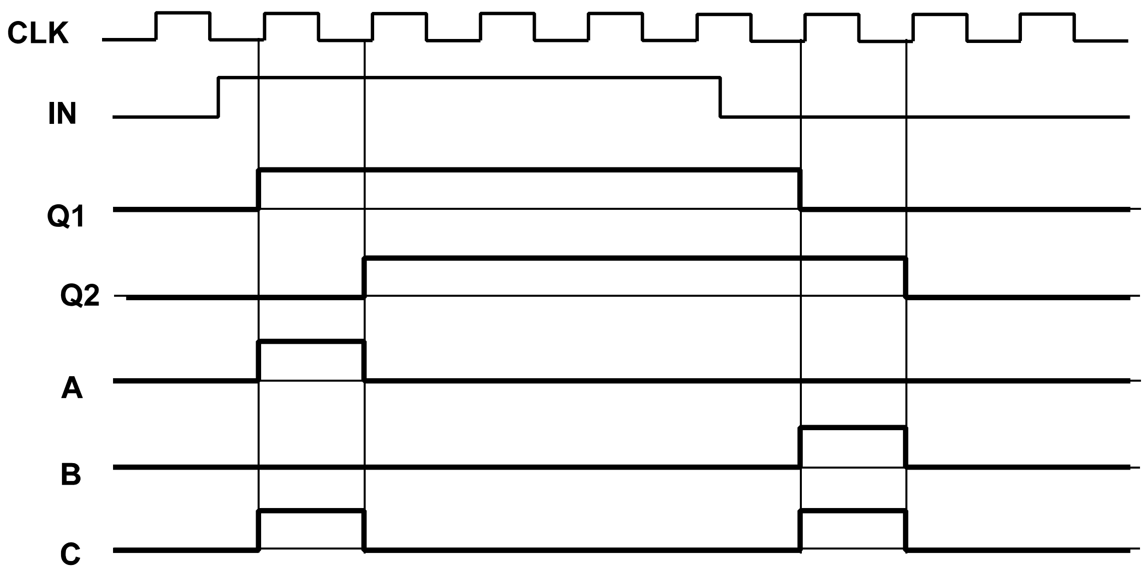


Abb. 5

Prinzip vgl. Praktikum, Versuch 3.

9. Ein ROM 16k • 8 soll als Funktionszuordner verwendet werden.

   a) Wieviele Variable dürfen die unterzubringenden Schaltfunktionen höchstens haben?
   b) Wieviele Schaltfunktionen lassen sich unterbringen?

(6 Punkte)

a) $16k = 16 \bullet 2^{10} = 2^{14}$. $ld\ 2^{14} = 14$, also 14 Adreßeingänge, also maximal 14 Variable.

b) Jede Schaltfunktion braucht einen Ausgang, also 8 Schaltfunktionen.

10. Nennen und erläutern Sie kurz wenigstens zwei Zustandscodierungen. Betrachten Sie zudem einen Zustandsautomaten mit 28 Zuständen und geben Sie an, wieviele Flipflops jeweils benötigt werden, um die Zustände zu codieren.

(10 Punkte)

a) OHE (One Hot Encoding; 1 aus n). Ein Flipflop je Zustand. 28 Zustände erfordern 28 Flipflops.

b) Binär. Zustandscodierung mit Binärzahlen. n Zustände erfordern ceil (ld n) Flipflops (jeweils die nächst-höhere Zweierpotenz...) . 28 Zustände erfordern 5 Flipflops, denn die nächst-höhere Zweierpotenz ist $32 = 2^5$.

11. An einem D-Flipflop-Register messen Sie Signalverläufe gemäß Abb. 6. Wo finden Sie Fehler? Zeichnen Sie ggf. ein, wie die Ausgangssignale eigentlich schalten müßten.

(5 Punkte)

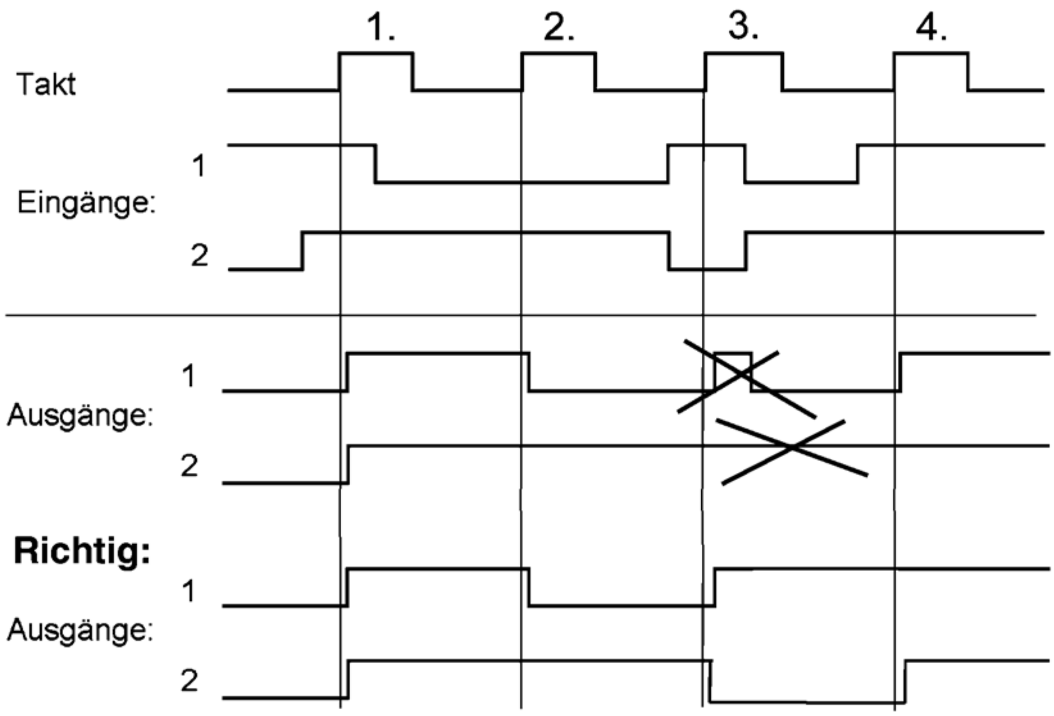


Abb. 6

Weil es D-Flipflops sind, ist zu untersuchen, wie sich die Ausgänge bei den Low-High-Flanken des Taktsignals verhalten. Fehler in Takt 3. Ausgang 1 schaltet wieder zurück, Ausgang 2 geht nicht auf Low.

12. Minimieren Sie folgende Schaltfunktion mittels KV-Diagramm (Karnaugh-Plan).

(10 Punkte)

$$\bar{a}\cdot\bar{b}\cdot d \vee \bar{a}\cdot b\cdot c\cdot\bar{d} \vee \bar{a}\cdot b\cdot\bar{c}\cdot\bar{d} \vee a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} \vee a\cdot\bar{b}\cdot c\cdot\bar{d}$$

Die Belegung $\bar{a}\cdot b\cdot\bar{c}\cdot d$ kommt nie vor.

AB: \ CD:	00	01	11	10	AB:
00	$0 = \bar a\,\bar b\,\bar c\,\bar d$	**1** $1 = \bar a\,\bar b\,\bar c\,d$	**1** 1) $3 = \bar a\,\bar b\,c\,d$	$2 = \bar a\,\bar b\,c\,\bar d$	00
01	2) **1** $4 = \bar a\,b\,\bar c\,\bar d$	**X** $5 = \bar a\,b\,\bar c\,d$	$7 = \bar a\,b\,c\,d$	**1** 2) $6 = \bar a\,b\,c\,\bar d$	01
11	$12 = a\,b\,\bar c\,\bar d$	$13 = a\,b\,\bar c\,d$	$15 = a\,b\,c\,d$	$14 = a\,b\,c\,\bar d$	11
10	3) **1** $8 = a\,\bar b\,\bar c\,\bar d$	$9 = a\,\bar b\,\bar c\,d$	$11 = a\,\bar b\,c\,d$	**1** 3) $10 = a\,\bar b\,c\,\bar d$	10
CD:	00	01	11	10	

1) bis 3) bezeichnen die Terme der Lösung:

$$\bar a \cdot \bar b \cdot d \;\vee\; \bar a \cdot b \cdot \bar d \;\vee\; a \cdot \bar b \cdot \bar d$$

Die Zusammenfassung mit dem Don't Care bringt nichts; sie fügt vielmehr einen unnützen Term hinzu. Eine solche Zusammenfassung wird hier aber nicht als Fehler gewertet, vorausgesetzt, sie wurde an sich richtig ausgeführt (zusätzlicher Term $\bar a \cdot \bar c \cdot d$).