

Übungsaufgaben Digitaltechnik WS 08/09

Teil 1

1. Entwerfen Sie die Blinksteuerung für ein Kraftfahrzeug (Abb. 1). Gegeben sind die Steuersignale L, R und W vom Blinkhebel und von der Warnblinktaste. Anzusteuern sind:

- C der Blinkimpulsgeber (BIG),
- C die rechten Blinkleuchten (BLR),
- C die linken Blinkleuchten (BLL).

Alle Signale sind aktiv High. Funktionen:

- C L aktiv: links blinken,
- C R aktiv: rechts blinken,
- C W aktiv: links und rechts blinken.

Die Blinkimpulse (BI) kommen vom Blinkimpulsgeber, der über das Steuersignal BIG immer dann einzuschalten ist, wenn geblinkt werden soll. Die Schaltung ist mit elementaren Gattern (UND, ODER, NAND, NOR) und Negatoren aufzubauen.

(5 Punkte)

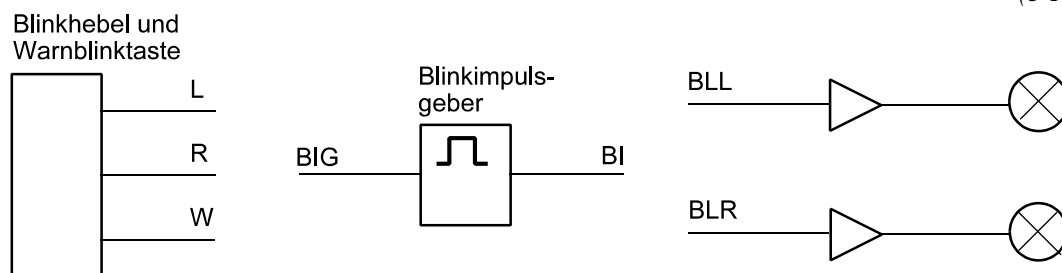


Abb. 1

2. In einem Gehäuse sind drei Lüfter A, B, C angeordnet. Jeder Lüfter hat einen Sensor, der ein Low-Signal liefert, wenn der betreffende Lüfter arbeitet. Ist der Lüfter ausgefallen, liefert der Sensor ein High-Signal. Entwerfen Sie eine Überwachungsschaltung (Abb. 2), die zwei Kontroll-LEDs G, R folgendermaßen ansteuert:

- C die grüne LED (G) soll leuchten, wenn alle drei Lüfter arbeiten,
- C die rote LED (R) soll leuchten, wenn einer der Lüfter (gleich welcher) ausgefallen ist,
- C die rote LED (R) soll blinken, wenn zwei oder alle drei Lüfter ausgefallen sind. Entsprechende Blinkimpulse sind verfügbar (Signal BLNK).

Ansteuerung der LEDs: aktiv Low. Bauelementebasis: Gatter nach eigener Wahl. Minimierung ist nicht erforderlich.

Zusatzaufgabe (zu lösen nach Behandlung der Latches und Flipflops):

Die Fehleranzeige soll solange gehalten werden, bis der Servicetechniker einen entsprechenden Schalter betätigt (Kontakt SRVCR). Der Kontakt wirkt aktiv Low.

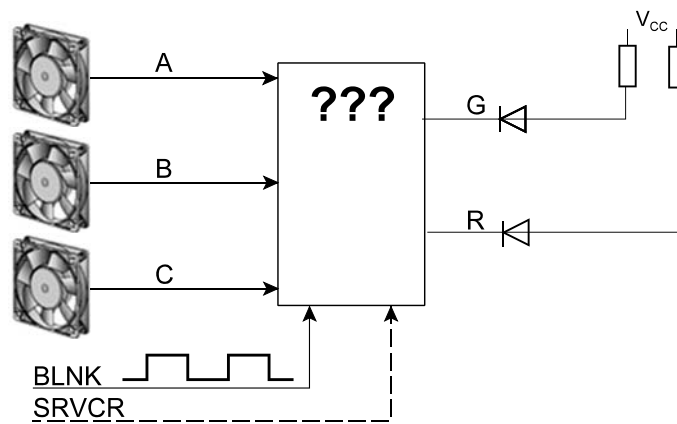


Abb. 2

3. Abb. 3 zeigt den Schaltplan eines kombinatorischen Netzwerks. Geben Sie die Schaltgleichungen für beide Ausgangssignale A, B an.

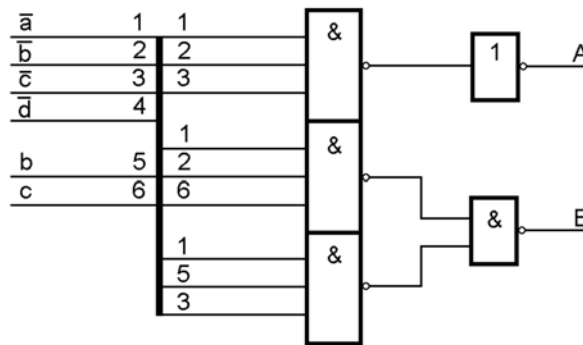


Abb. 3

4. An kombinatorischen Schaltungen messen Sie Signalbelegungen (Abb. 4. Ist das in Ordnung? Tip: Gehen Sie Gatter für Gatter durch und ermitteln Sie so Schritt für Schritt die Werte, die sich bei ordnungsgemäßer Funktion ergeben müßten.

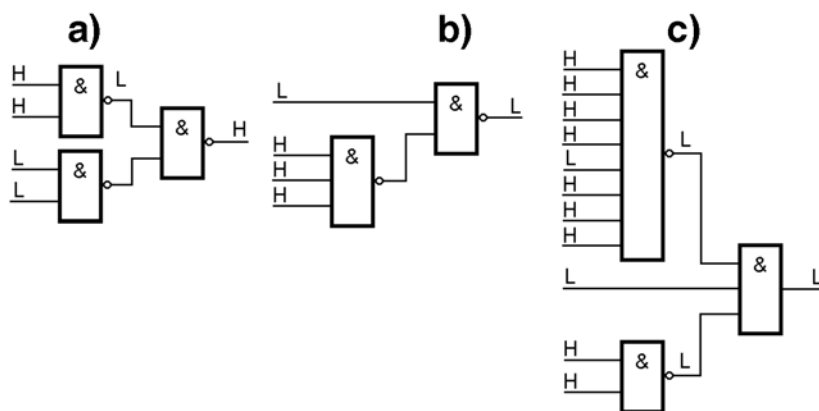


Abb. 4

5. In einer Schaltung wird ein Schaltkreis über ein kombinatorisches Netzwerk zurückgesetzt. Sie messen die dargestellten Signalverläufe (Abb. 5). Ist das in Ordnung? Kennzeichnen und erläutern Sie ggf. gefundene Fehler.

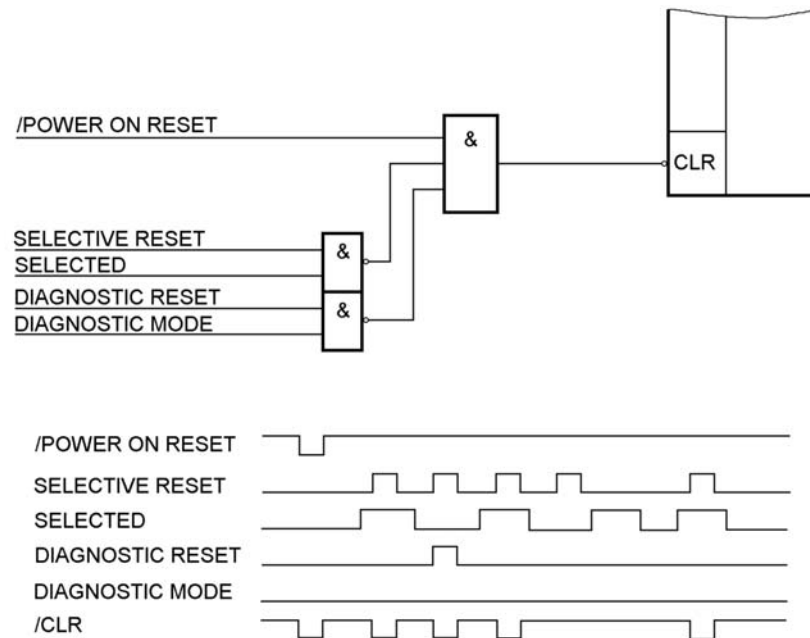


Abb. 5

6. Am Eingang einer Schaltung messen Sie die dargestellten Signalverläufe (Abb. 6). Was erwarten Sie am Ausgang? (Signalverlauf in idealisierter Form in das Diagramm einzeichnen.)

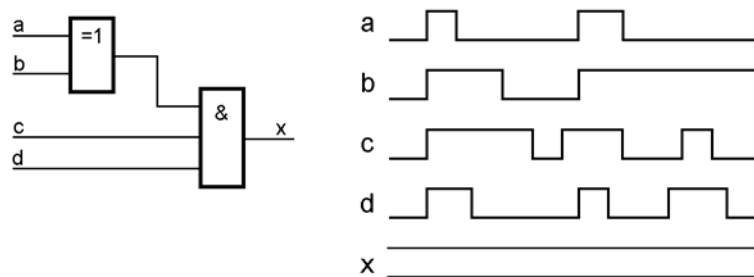


Abb. 6

7. Eine Steckkarte hat ein NAND-Gatter als Adreßdecoder (Abb. 7). Die Adresse umfaßt insgesamt 10 Bits (9...0). Auf welchen Adreßbereich (in Hex) ist die Steckkarte eingestellt?

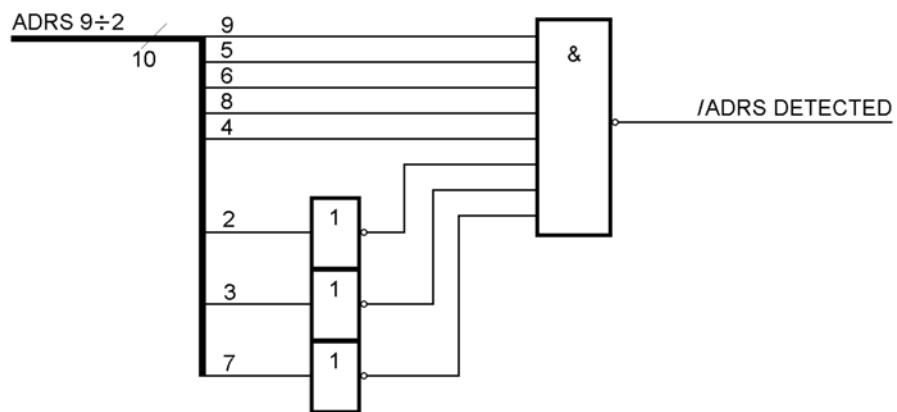


Abb. 7

8. Auf einer Leiterplatte, die eine Schnittstellenhardware trägt, werden zwei Fehlersignale gebildet: PARITY_CHECK und TIME_OUT. Nun wird eine Änderung erforderlich: man wünscht ein einziges Fehlersignal INTERFACE_ERROR, das wie folgt zu bilden ist:

$$\text{INTERFACE_ERROR} = \text{DATA_TAKEN} \& \text{PARITY_CHECK} \vee \overline{\text{DATA_TAKEN}} \& \text{TIME_OUT}$$

In den Schaltkreisen der Leiterplatte sind noch drei Funktionselemente frei (Abb. 8). Lassen Sie sich was einfallen...

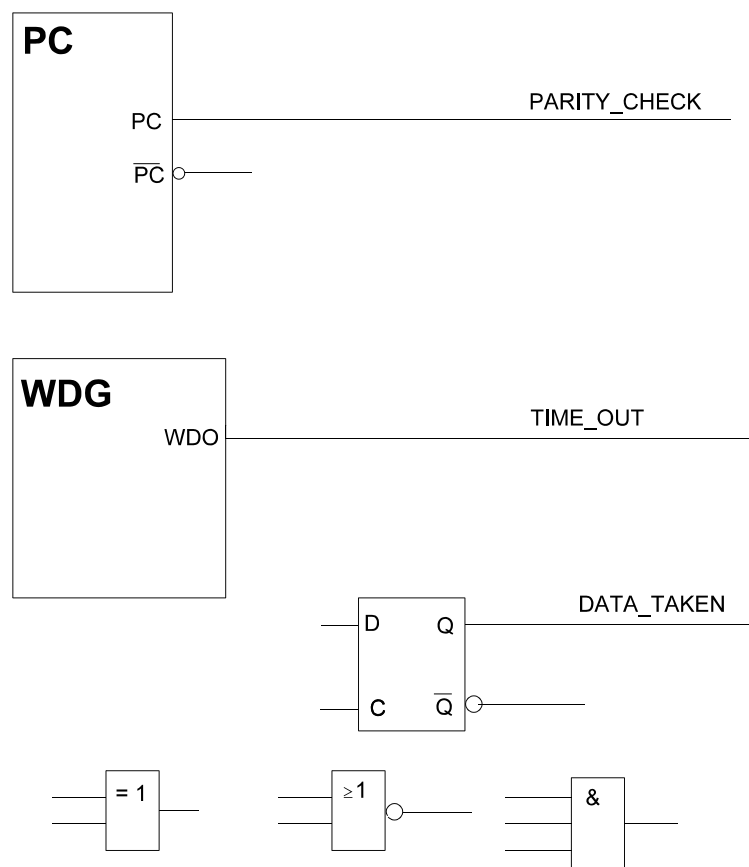


Abb. 8

9. Auf einer Leiterplatte befindet sich u. a. die in Abb. 9 gezeigte Schaltung. Sie funktioniert aber nicht richtig. Die erforderliche Änderung:

alt: $ERROR = FAULT \text{ @ } PARITY_CHK \text{ @ } WR$

neu: $ERROR = FAULT \text{ @ } PARITY_CHK \text{ @ } WR \text{ @ } ADRS_DECODE$

(ADRS_DECODE ist ein Signal aus anderen Teilen der Schaltung.)

Es stehen aber nur die in Abb. 9 dargestellten Funktionselemente zur Verfügung. Lassen Sie sich was einfallen ...

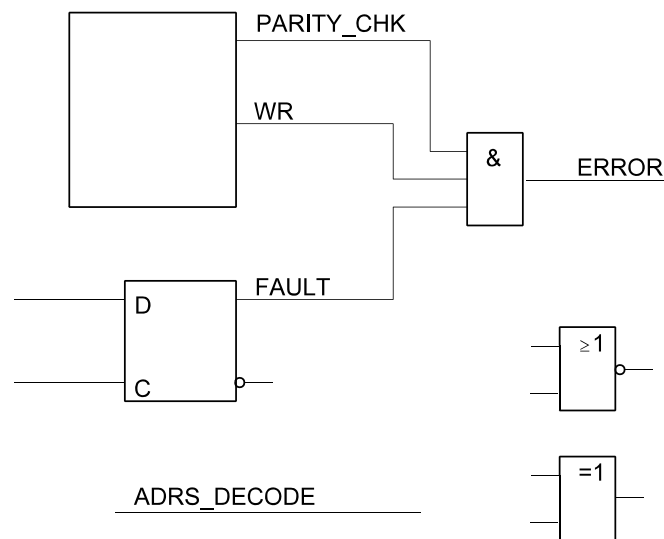


Abb. 9

10. Wir beziehen uns auf Abb. 10.

a) Gelten folgende Aussagen? (Antwort mit "Ja" oder "Nein".)

1. Funktionselement 3 ist mit Funktionselement 4 verbunden.
2. Funktionselement 2 ist mit Funktionselement 7 verbunden.
3. Funktionselement 4 ist mit Funktionselement 10 verbunden.
4. Funktionselement 3 ist mit Funktionselement 8 verbunden.

b) Das Signal Nr. 2, das an Funktionselement 3 seinen Ursprung hat, ist zu verfolgen. An welchen anderen Funktionselementen messen Sie? (Nummern angeben.)

12. An kombinatorischen Schaltungen messen Sie Signalbelegungen (Abb. 12). Ist das in Ordnung? Tip: Gehen Sie Gatter für Gatter durch und ermitteln Sie so Schritt für Schritt die Werte, die sich bei ordnungsgemäßer Funktion ergeben müßten.

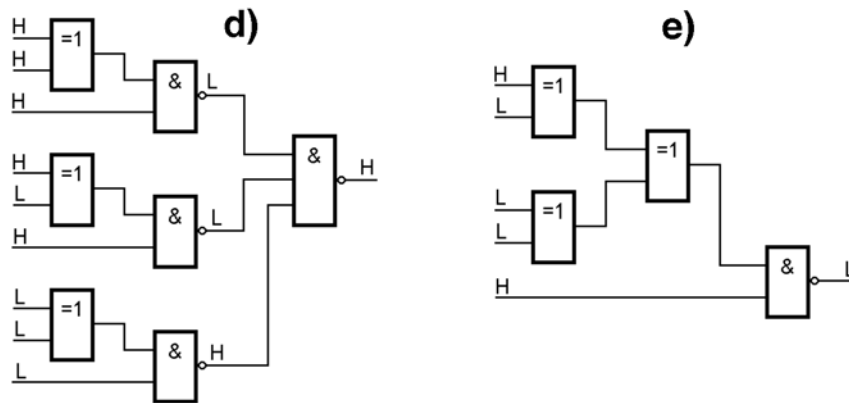


Abb. 12

13. Entwerfen Sie einen Johnsonzähler (mit D-Flipflops), der modulo 6 zählt und erweitern Sie ihn so, daß er alle 6 Stellungen im 1-aus-n-Code ausgibt (Abb. 13).

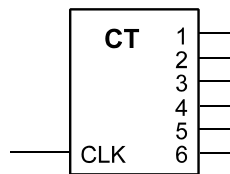


Abb. 13

14. Bauen Sie auf Grundlage dieses Zählers einen elektronischen Würfel (Abb. 14). Es ist eine kombinatorische Schaltung zu entwerfen (mit beliebigen Gattern), die mit den Ausgangssignalen 1 bis 6 die LEDs A bis G je nach Zählerstand erregt (Ansteuerung aktiv high).

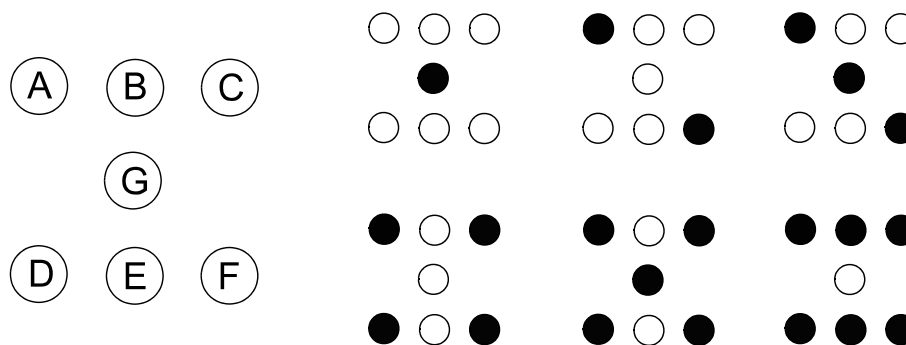
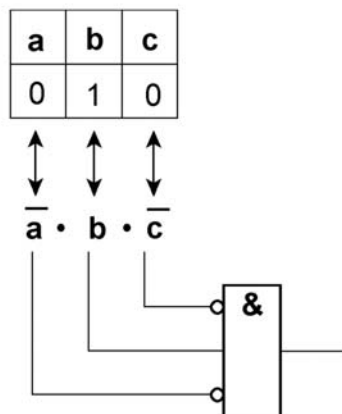


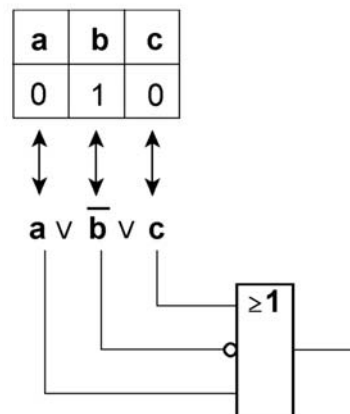
Abb. 14

dez.	a	b	c	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	0

a) Minterm:



b) Maxterm:

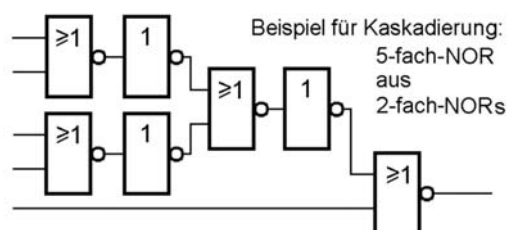
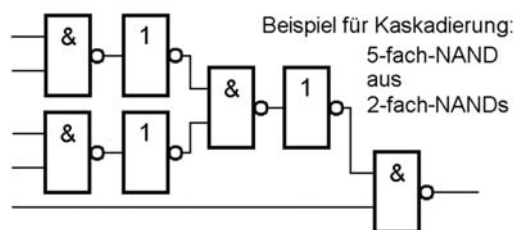


Schaltgleichungen aus der Wahrheitstabelle

Schaltgleichungen und Gatternetzwerke

Kaskadierung mit NAND und NOR

UND-ODER mit NOR



15. An einem Schaltkreis, der ein Register enthält, messen Sie die in Abb. 15 gezeigte Signalfolge. Handelt es sich dabei um ein D-Flipflop- oder um ein Latch-Register? (Kurze Begründung.)

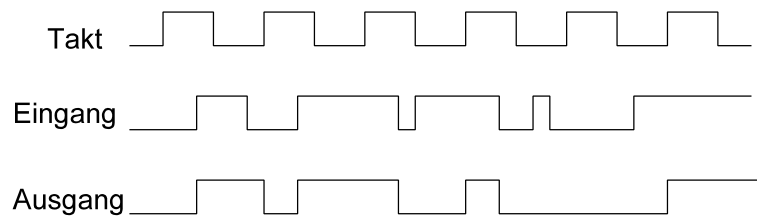


Abb. 15

16. An einem D-Flipflop-Register liegen Eingangssignale gemäß Abb. 16 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

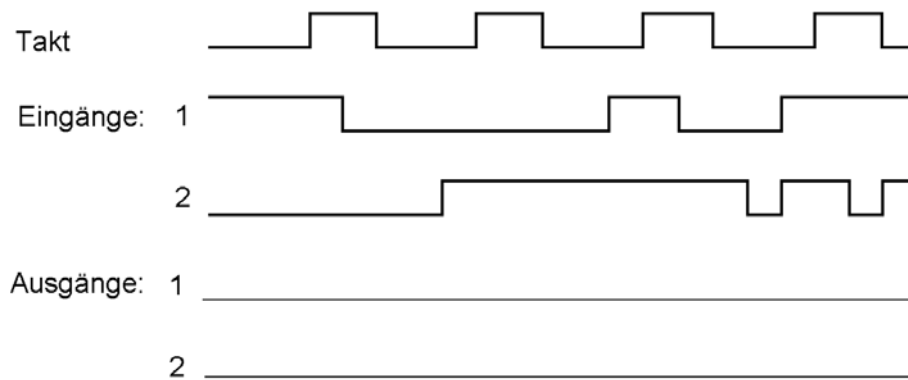


Abb. 16

17. An einem Latch-Register liegen Eingangssignale gemäß Abb. 17 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

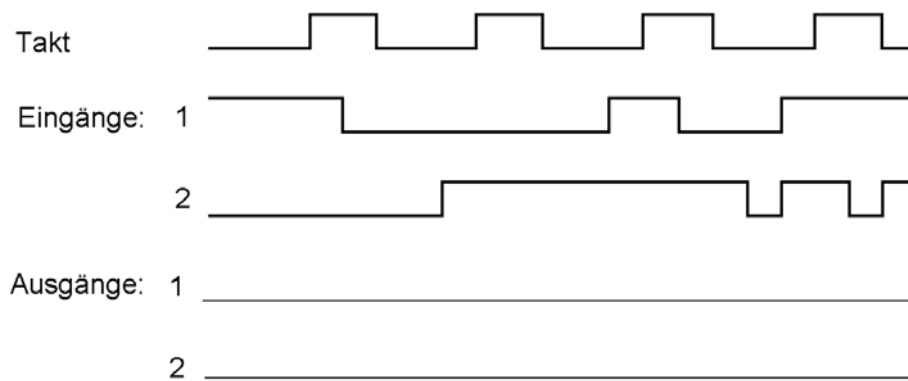


Abb. 17

18. An einem D-Flipflop-Register messen Sie Signalverläufe gemäß Abb. 18. Wo finden Sie Fehler? Zeichnen Sie ggf. ein, wie die Ausgangssignale eigentlich schalten müßten.

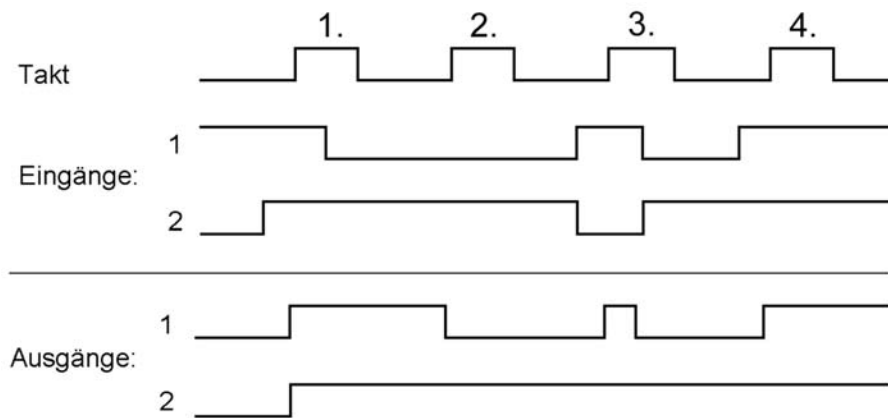


Abb. 18

19. An den Eingängen eines JK-Flipflop messen Sie den Signalverlauf gemäß Abb. 19. Was erwarten Sie am Ausgang?

Hinweis: Es handelt sich um ein flankengesteuertes JK-Flipflop, das auf die Taktrückflanke (High-Low) schaltet (z. B. um den Typ 74x112).

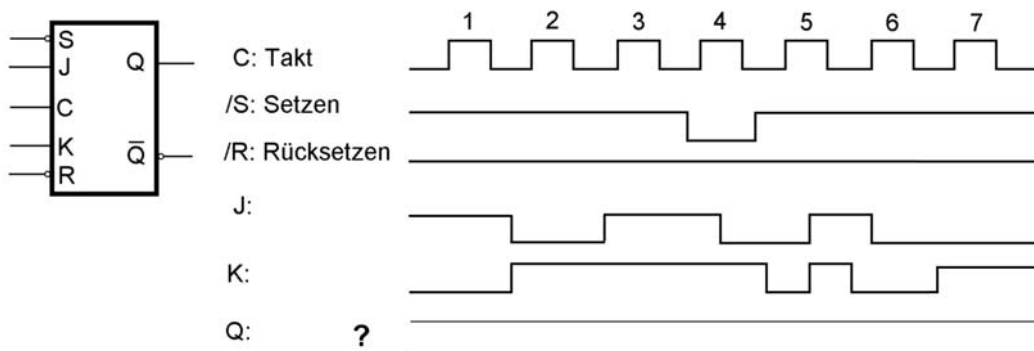


Abb. 19

20. An den Eingängen eines 2-Bit-Registers liegen Impulse gemäß Abb. 20 an.
- zeichnen Sie die ausgangsseitigen Impulsfolge ein, wenn es sich um ein Latch-Register handelt,
 - zeichnen Sie die ausgangsseitigen Impulsfolge ein, wenn es sich um ein D-Flipflop-Register handelt.
21. Geben Sie die Gatter-Schaltung eines RS-Master-Slave-Flipflops an, bei der die "verbotene" Belegung $R = S = 1$ zugelassen ist und die gleiche Wirkung hat wie $R = 1, S = 0$ (Rücksetzen).
22. In einer Schaltung werden JK-Flipflops benötigt, es sind aber nur D-Flipflops verfügbar. Geben Sie eine kombinatorische Beschaltung an, die ein D-FF in ein JK-FF umwandelt.

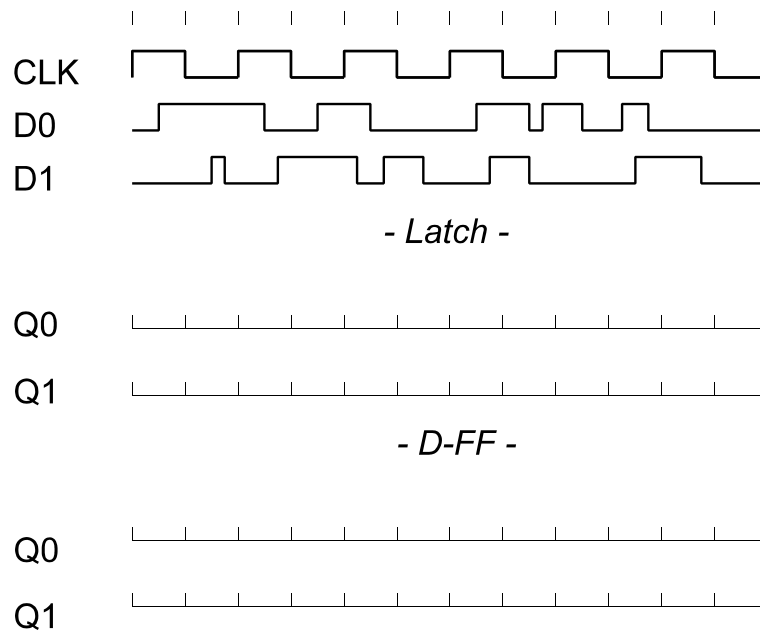


Abb. 20

23. Entwerfen Sie eine Zusatzbeschaltung, die ein T-Flipflop in ein JK-Flipflop umwandelt (Abb. 21).

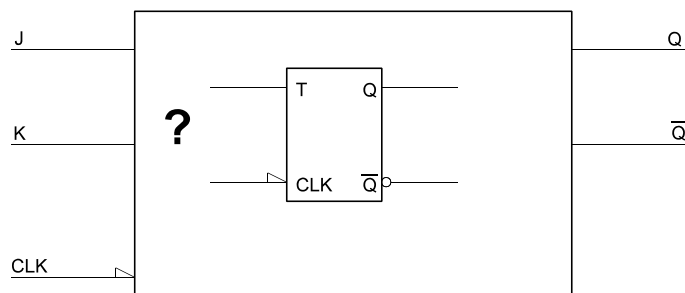


Abb. 21

24. Denksportaufgabe: Abb. 22 zeigt ein JK-Flipflop vom Typ 74x109. Können Sie es sich denken, weshalb man den K-Eingang invertiert ausgelegt hat?

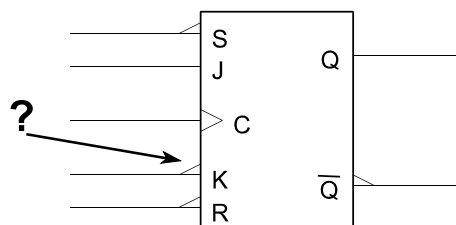
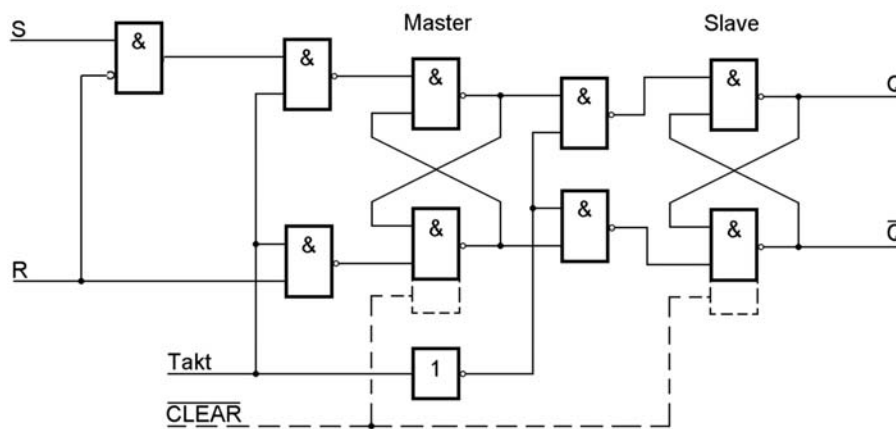


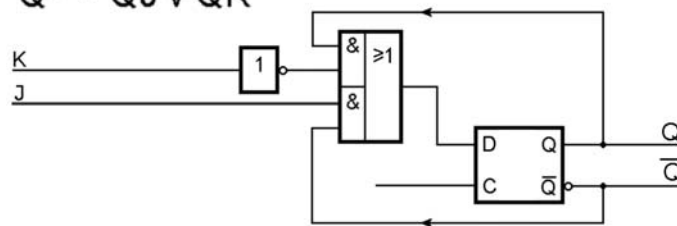
Abb. 22

Wenn R aktiv ist, wird S blockiert, so daß bei R S = 1 nur R zur Wirkung kommt.



Das D-Flipflop hat den Vorteil, daß man die Schaltgleichung des gesuchten Flipfloptyps nur als Gatternetzwerk bauen und dem D-Eingang vorschalten muß – einfacher geht's nich...

$$Q^1 = \bar{Q}J \vee Q\bar{K}$$



Lösung 6

Um die JK-Funktion herbeizuführen, steht uns nur die T-Funktion zur Verfügung. Bei T = 1 ändert sich die Belegung von Q mit dem nächsten Takt, bei T = 0 wird sie gehalten. Betrachten wir die Automatentabelle eines JK-Flipflops:

J	K	Q	Q ¹	Änderungen zwischen Q und Q ¹ (= T-Funktion)
0	0	0	0	-
0	0	1	1	-
0	1	0	0	-
0	1	1	0	1
1	0	0	1	1
1	0	1	1	-
1	1	0	1	1
1	1	1	0	1

Eine Q-Änderung (= T-Funktion) ist also bei folgenden Belegungen erforderlich:

J	K	Q
0	1	1
1	0	0
1	1	0
1	1	1

Die ursprüngliche Schaltfunktion (aus der Wahrheitstabelle bzw. Belegungsliste abzulesen):

$$T = \bar{J}KQ \vee \bar{J}\bar{K}\bar{Q} \vee J\bar{K}\bar{Q} \vee JKQ$$

Ersichtlicherweise (z. B. Vorgehen mittels Quine-McCluskey, 1. Schritt) kann man die erste mit der vierten und die zweite mit der dritten Belegung zusammenfassen (mittels Karnaugh-Plan kommt man auf das gleiche Ergebnis). Abb. 6 zeigt die zugehörige Schaltung.

$$T = J\bar{Q} \vee KQ$$

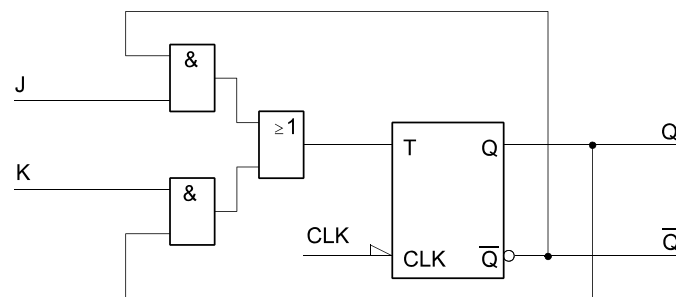


Abb. 6

Beim Latch ist der Signalverlauf an den Dateneingängen bei aktivem Takt (High) 1:1 zu übernehmen. Ist der Takt Low, so hält der Ausgang die Eingangsbelegung zur Zeit der High-Low-Flanke des Taktsignals. Beim D-Flipflop sind nur die Low-High-Flanken des Taktsignals von Bedeutung. Dort die Eingangsbelegung abnehmen und bis zur nächsten Low-High-Flanke des Taktes halten (Abb. 7).

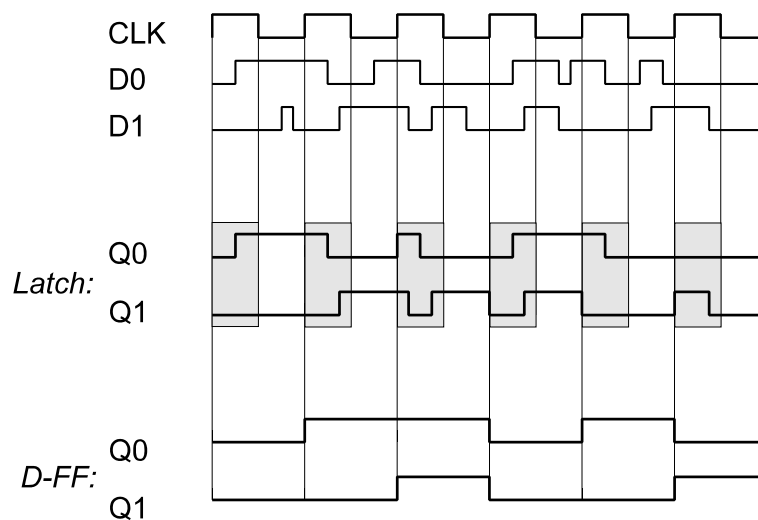


Abb. 7

25. Einem Mikrocontroller soll ein Fehler-Flipflop vorgeschaltet werden (Abb. 8). Dieses soll durch ein impulsförmiges Fehlersignal ERROR gesetzt und durch ein programmseitig schaltbares Signal ERROR_RESET gelöscht werden. Flipfloptyp: D-Flipflop 7474. Geben Sie zwei Schaltungen an, die ein jeweils anderes Schaltverhalten verwirklichen:
- das Flipflop soll gesetzt bleiben, falls während des programmseitigen Löschens (also bei aktivem ERROR_RESET).
 - das Flipflop soll durch Erregen von ERROR_RESET unter allen Umständen gelöscht werden, auch wenn währenddessen das ERROR-Signal erregt wird.

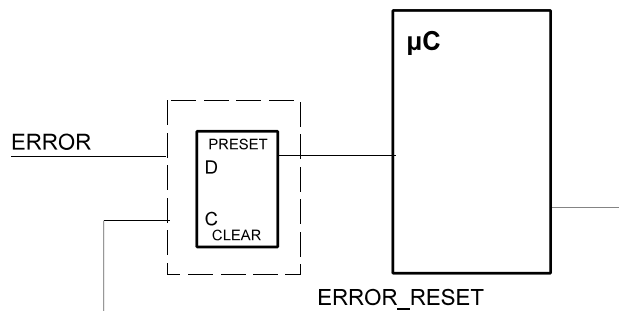


Abb. 8

26. Abb. 9 zeigt einen Schaltungsausschnitt. Wird diese Schaltung immer zuverlässig arbeiten? Erläutern Sie kurz, welches Problem Sie sehen und schlagen Sie ggf. eine Änderung vor.

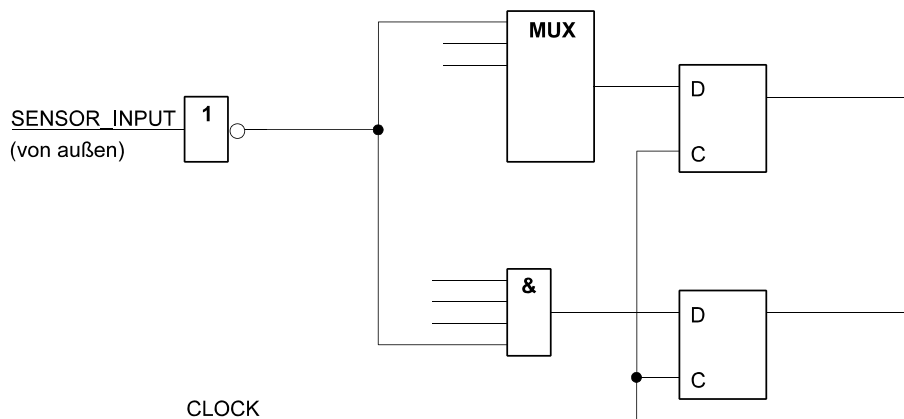


Abb. 9

27. Auf einer Leiterplatte befindet sich eine Schaltung gemäß Abb. 10, aufgebaut mit herkömmlichen TTL-Schaltkreisen. Es ist eine Änderung erforderlich. Und zwar muß der Dateneingang D des Flipflops gemäß folgender Funktion angesteuert werden:

$$D = \bar{A} \bar{B} Q \vee A \bar{B} C \vee \bar{A} B \bar{Q}$$

Es ist aber nur eine Bestückungsposition frei; Sie können also nur noch einen einzigen Schaltkreis der 74-Baureihen mit 14 oder 16 Anschlüssen einsetzen. Lassen Sie sich was einfallen...

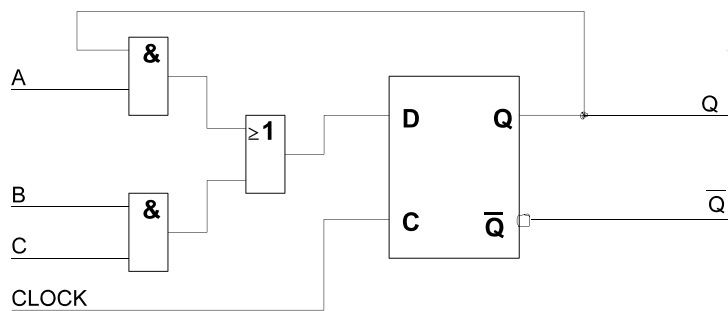
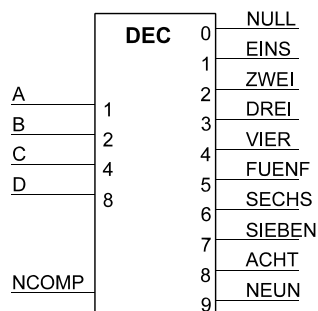


Abb. 10

28. Denksportaufgabe: Es ist ein BCD-Decoder (Abb. 11) zu entwerfen, der wahlweise auf das Neunerkomplement umgeschaltet werden kann (Steuersignal NCOMP = 0: 0H => NULL, 1H => EINS usw.; Steuersignal NCOMP = 1: 0H => NEUN; 1H => ACHT usw.). Funktionselemente: ein BCD-Decoderschaltkreis sowie Gatter und Multiplexer nach Wahl. Alternative Lösungsansätze: (1) Ausnutzung des Decoderschaltkreises, der durch Zusatzbeschaltung entsprechend erweitert wird, (2) Aufbau eines umschaltbaren Decoders von Grund auf. Entscheiden Sie sich für einen der beiden Ansätze und lassen Sie sich was einfallen (es sei verraten, daß auf Grundlage von Ansatz (1) die Punkte recht schnell zu verdienen sind (skizzenhafte Darstellung des Prinzips genügt)).

a) der zu entwerfende Decoder



b) ein herkömmlicher Decoder darf als Funktionselement verwendet werden

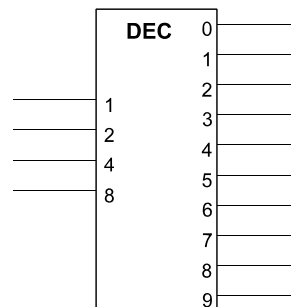
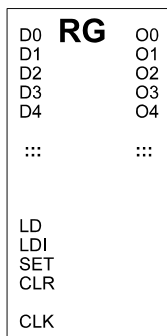


Abb. 11

29. Entwerfen Sie ein vollsynchrones Register gemäß Abb. 12. Funktionselemente: D-Flipflops + Gatter nach Wahl. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen.
30. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 13) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen. *Vorrangregel*: INIT dominiert über LD.



Die Funktionen:

- LD: Daten übernehmen,
- LDI: Daten invertiert übernehmen,
- SET: alles setzen (FF...FH),
- CLR: alles löschen (00...0H),
- sonst: nichts tun (Daten halten).

CLR soll mit Vorrang wirken, also auch dann, wenn weitere Steuerleitungen erregt sind. Ansonsten ist die Mehrfacherregung nicht zu bearbeiten (Wirkung ist gleichgültig).

Abb. 12

Signal	Funktion
LD	Laden (Übernahme von den Dateneingängen)der
INIT	Anfangswert einstellen (0H oder FH; abhängig von INV)
INV	invertierten Wert einstellen (wenn LD, dann invertierte Belegung der Dateneingänge, wenn INIT, dann Anfangswert FH)
weder LD noch INIT	Datenbelegung halten

(15 Punkte)

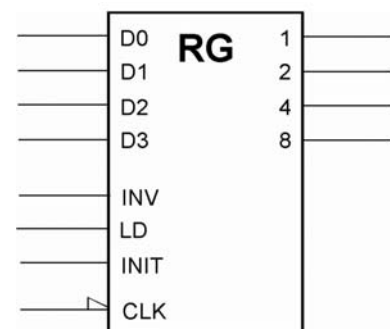


Abb. 13

31. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 14) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen. Vorrangregeln: keine.

Signal	Funktion
LD	Laden
LDM	Laden maskiert. Nur die Bitpositionen laden, deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
TGM	Umschalten maskiert (Toggle). Nur die Bitpositionen ändern (von 0 nach 1 oder von 1 nach 0), deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
CLR	Löschen (alle Stellen = 0)
-	Datenbelegung halten

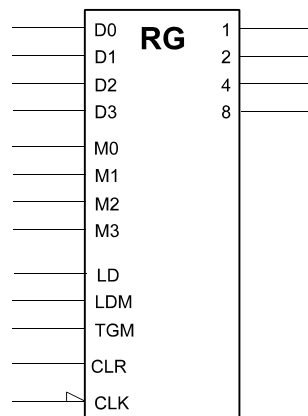


Abb. 14

32. Entwerfen Sie einen Kabeltester (Abb. 15). Er soll Kabel mit maximal acht Einzelleitungen prüfen können (vgl. die übliche Netzwerkkabel). Ein solcher Tester besteht aus einem Stimulusgenerator, einer Anzeigeeinheit und einem Vergleicher. Der Stimulusgenerator wirkt so, daß er zunächst eine 1 auf die erste Leitung gibt, dann eine 1 auf die zweite Leitung usw.
- Entwerfen Sie einen Stimulusgenerator, der ein derartiges Prüfmuster (Abb. 16) zyklisch abgibt. Bauelemente: Flipflops, Register, Gatter.
 - Entwerfen Sie einen Vergleicher, der kontrolliert, ob das Prüfmuster am anderen Ende tatsächlich ankommt. Er soll eine Gesamt-Fehleranzeige ERROR erregen (ERROR = 0, wenn alles o.k., ansonsten = 1).

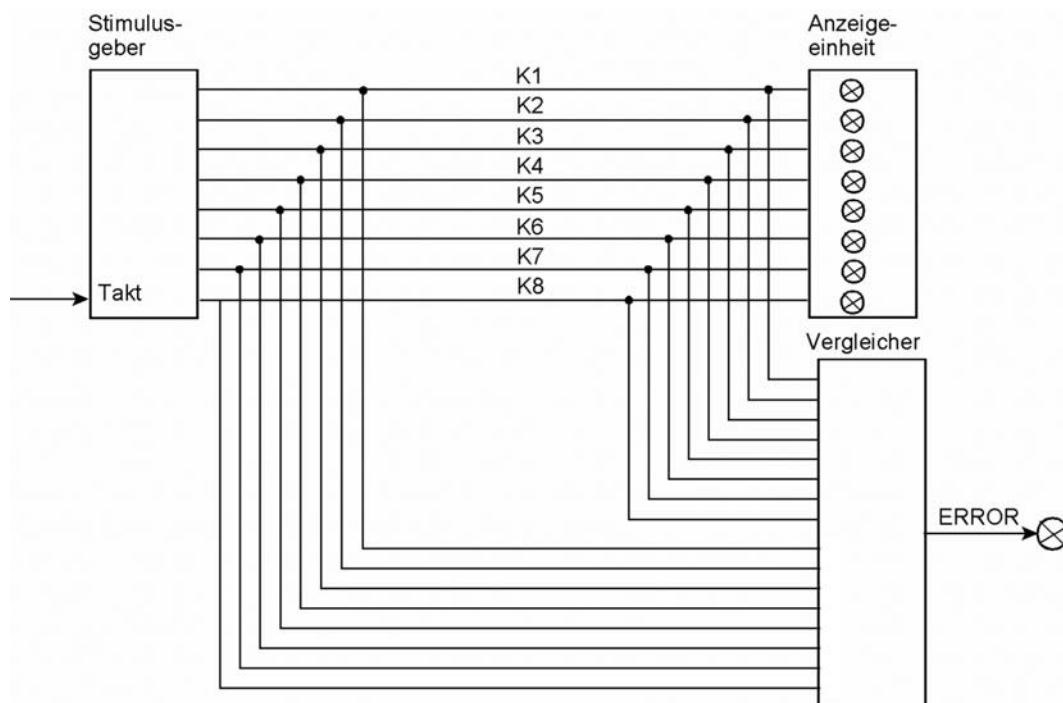


Abb. 15

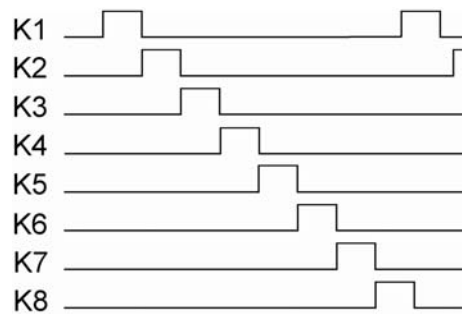


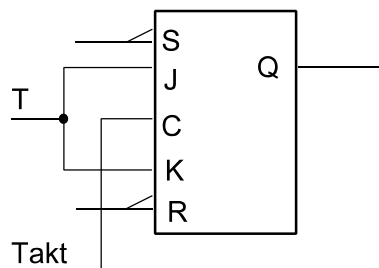
Abb. 16

33. Entwerfen Sie eine Zehlschaltung mit drei T-Flipflops C, B, A, die gemäß Tabelle zyklisch zählt (von Stellung 6 wieder nach Stellung 1). Beim Einschalt-rücksetzen soll Stellung 1 eingestellt werden (sehen Sie hierzu eine entsprechende Beschaltung von S- und R-Eingängen vor).

Stellung	C	B	A
1	0	0	1
2	0	1	1
3	0	1	0
4	1	1	0
5	1	1	1
6	1	0	1

Hinweise:

1. Setzen und Rücksetzen. Bei Einschalten ist die Anordnung in Stellung 001 zu bringen. Hierzu sind die asynchronen Setz- und Rücksetzeingänge der Flipflops passend zu beschalten (A setzen, C und D rücksetzen).
2. T-Flipflops im Digitalsimulator (<http://www.digitalsimulator.de>). Das dort angebotene T-Flipflop lässt sich nicht setzen oder rücksetzen. Ausweg: JK-Flipflops nehmen und J und K zum T-Eingang verbinden (Abb. 17).
3. Die Schaltung wurde sowohl im Simulator als auch auf der Stecktafel ausprobiert. Sie funktioniert wirklich ...



T-Flipflop aus JK-Flipflop. Achtung beim JK-FF des Digitalsimulators: S und R wirken aktiv low.

Abb. 17

34. Entwerfen Sie eine Zehlschaltung mit drei T-Flipflops C, B, A, die gemäß Tabelle zyklisch zählt (von Stellung 4 wieder nach Stellung 1). Beim Einschaltücksetzen soll Stellung 1 eingestellt werden (asynchrones Rücksetzen).

Stellung	C	B	A
1	0	0	0
2	0	0	1
3	0	1	1
4	1	1	1

35. Entwerfen Sie eine State Machine, die das Zustandsdiagramm von Abb. 18 durchläuft. Anfangszustand: Z1 (sehen Sie hierzu eine entsprechende Beschaltung von S- und R-Eingängen vor). Codierung: OHE. Flipfloptyp: D-FF.

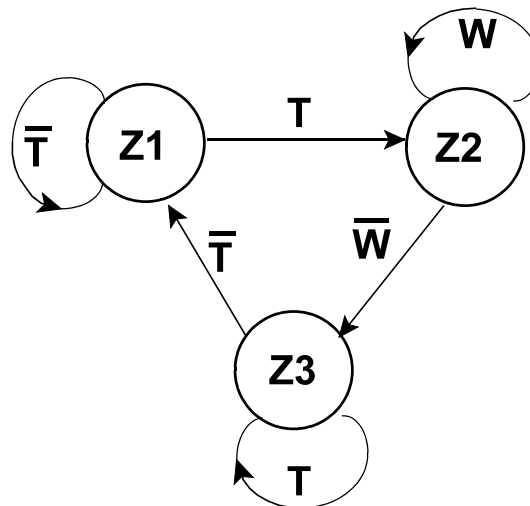


Abb. 18