

Praktikum Digitaltechnik SS 2009

Versuch 3

Stand: 9. 6. 09

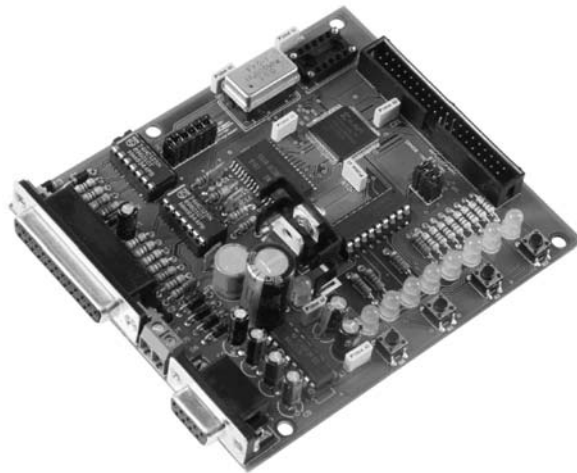
Versuchsziele:

- Rechnergestütztes Entwerfen über Schaltplan (Vertiefung / selbständiges Arbeiten).
- Entwerfen elementarer sequentieller Schaltungen.

Versuchsplattform:

CPLD-Modul (Pollin) unter Beschränkung auf die eingebauten Ein- und Ausgabemittel (vier Taster, acht LEDs, serielle Schnittstelle).

Grundlage: die in Versuch 2 eingegebene Schaltung mit 24-Bit-Frequenzteiler und Tasten-Entprellung.



Aufgabe 1: Erledigen der restlichen Aufgaben von Versuch 2.

Aufgabe 2: Prüfgenerator für die serielle Schnittstelle. Erprobung: (1) mit Oszilloskop, (2) mit Windows-PC und Hyperterminal.

Der Prüfgenerator soll ein einzelnes Prüfzeichen senden. Das gesamte Prüfmuster ist 16 Bits lang:

1.	2.	3.	4.	5.	6.	7.	8.	9.	10.	11.	12.	13.	14.	15.	16.	
Start	Prüfzeichen (ASCII)								Stopbit + Ruhezustand							
0	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	1	1	1	1	1	1	1	

Das Prüfzeichen (ASCII):

Einstellzähler 2 (KEY1)				Einstellzähler 1 (KEY0)			
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Der ASCII-Code:

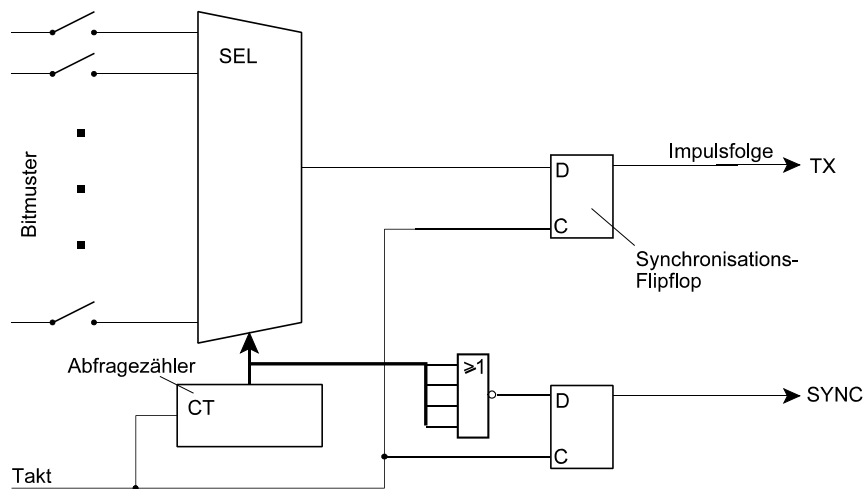
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
20:	!	"	#	\$	%	&	'	<	>	*	+	,	-	.	/	
30:	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
40:	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
50:	P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
60:	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
70:	p	q	r	s	t	u	v	w	x	y	z	{		}	~	

Beispiel: Prüfzeichen 1 = 31H, Prüfzeichen A = 41H.

Wir gehen in mehreren Schritten vor.

Schritt 1: Grundschialtung. Ein Multiplexer wird mit dem zu sendenden Bitmuster belegt und zyklisch abgefragt. Wir haben aber keine 16 Kippschalter. Ausweg: Wir machen nur die acht Bitpositionen des eigentlichen Prüfzeichens veränderlich und beschalten diese mit zwei Einstellzählern zu vier Bits, deren Ausgänge auf die LEDs geführt und deren Takteingänge von zwei Tasten angesteuert werden. Die verbleibenden Bitpositionen werden gemäß Prüfmuster fest beschaltet – und zwar so, daß im Ruhezustand (z. B. Stellung 0 des Abfragezählers) eine Eins abgegeben wird.

Hausaufgabe zur Versuchsvorbereitung: Zeichnen Sie den Schaltplan entsprechend um.



Neue Ausgänge (zum Eintragen in die Constraints-Datei):

TX: Pin 94 (TXD der seriellen Schnittstelle).

SYNC: Pin 85 (Pin 2 des 40poligen Steckverbinders).

Abfragetakt:

Wir wollen mit 2400 Bits/s senden. Dazu sind die 16 MHz durch 667 zu teilen. Es ist also ein entsprechender synchron arbeitender Frequenzteiler zu entwerfen.

Schritt 2: Grundschialtung wie beschrieben implementieren (zyklischer Umlauf) und mit Oszilloskop erproben. Ggf. probeweise den heruntergeteilten Abfragetakt auf SYNC legen und nachsehen, ob es stimmt.

