

Übungsaufgaben Hard- und Software-Engineering 1

10. 3. 2008

1. Erläutern Sie kurz (ggf. anhand von Sätzen) die wesentlichen Unterschiede zwischen GAL, CPLD und FPGA.
2. In einem CPLD-Schaltkreis der Xilinx-9500-Reihe soll ein 12-Bit-Schieberegister verwirklicht werden.
 - a) es soll nur in eine Richtung geschoben werden. Wieviele Makrozellen werden hierfür benötigt?
 - b) wieviele Makrozellen werden benötigt, wenn folgende Funktionen realisiert werden sollen: Rechtsschieben logisch, Rechtsschieben arithmetisch, Linksschieben, Laden?
3. Um programmierbare Logikschaltkreise zu bauen, ist es erforderlich, beliebige Schaltfunktionen realisieren zu können. Wie wird dieses Problem in typischen FPGA-Zellen gelöst? Skizzieren Sie eine einfache Anordnung, mit der man eine x-beliebige Schaltfunktion von vier Variablen V1, V2, V3, V4 realisieren kann (eine Variante genügt).
4. Welchen Typ (Latch oder D-Flipflop) wählen Sie für das Adreßhalterregister an einem industrietypischen Multiplexbus? Weshalb?
5. An einen Mikrocontroller mit einem Motorola-Businterface ist ein industrietypischer SRM-Schaltkreis anzuschließen (Abb. 1). Es soll die einzige Einrichtung an diesem Bus sein. Geben Sie eine entsprechende Beschaltung an.
6. Abb. 2 zeigt einen universellen Bustreiberschaltkreis. Er soll als D-Flipflop-Register eingesetzt werden (Datenflußrichtung von A nach B). Geben Sie eine entsprechende Beschaltung der Steuereingänge an.
7. Entwerfen Sie ein vollsynchrones Register gemäß Abb. 3 mit folgenden Funktionen:
 - wenn LOAD = High und DIAG = Low: Daten übernehmen,
 - wenn DIAG = High: die Bitpositionen, an denen eingangsseitig High anlegt, wechseln ihre Belegung (0 => 1, 1 => 0; Toggle-Funktion, z. B. zu Prüfzwecken). Die Belegung der anderen Positionen bleibt erhalten.
 - sonst: Datenbelegung halten.

Funktionselemente: D-Flipflops und elementare Gatter (UND, ODER, NAND, NOR, XOR Negation). Es genügt, eine Bitposition sowie die ggf. erforderliche zentrale Logik darzustellen.

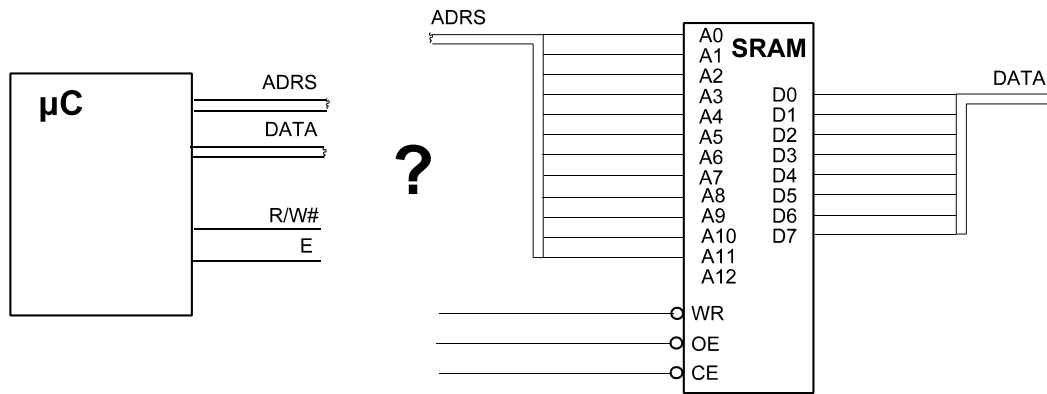


Abb. 1

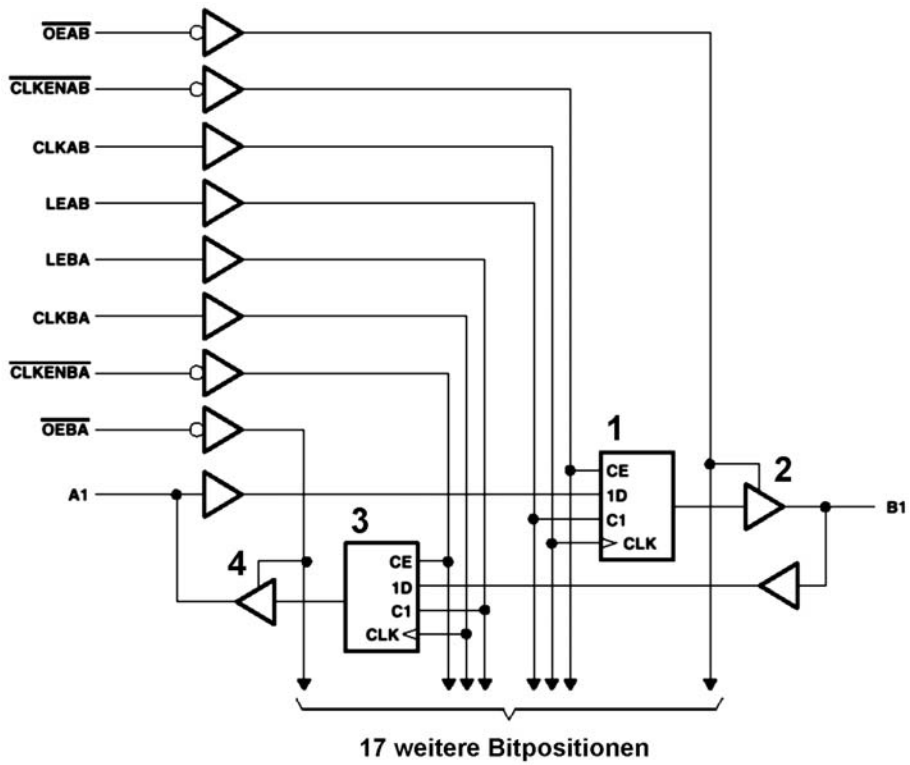


Abb. 2

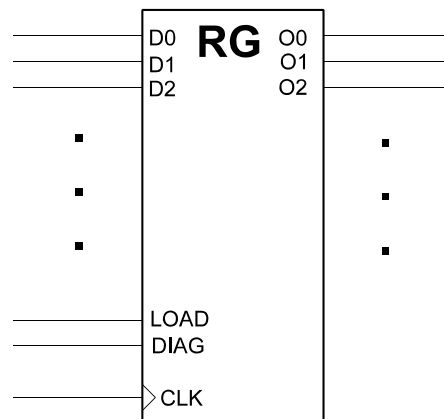


Abb. 3