

## CPLD-Platine 13a

### Kurzbeschreibung

Stand: 20. 2. 2013

#### Zweck

Aufbau, Programmierung und Betrieb von Versuchsschaltungen in einem CPLD Xilinx XC95108 PC84. Formfaktor und Steckverbinder passend zum CPLD-Lehrgerät 12.



– Platzhalter –

#### Nutzung:

- Für sich allein (Stand Alone).
- Auf CPLD-Lehrgerät 12 aufgesteckt.
- Mehrere Module übereinandergestapelt (wie PC/104).
- Mit aufgesteckten Zusatzplatinen.
- Modul (oder mehrere Module nebeneinander) auf Basisplatine (Prinzip Motherboard).

#### Ausstattung:

- CPLD mit 69 Signalanschlüssen,
- Taktgenerator (Quarz),
- die verbleibenden 68 Signale sind in neun E-A-Ports A, B, C, D, E, F, G, H, I zusammengefaßt,
- Programmierereinrichtung mit Parallelschnittstelle,
- SRAM 128k • 8,
- vier Bedientaster (nicht entprellt, aktiv Low),
- LED-Anzeige an Port H (acht LEDs, aktiv High),
- serielle Schnittstelle,
- 64poliger Steckverbinder PC/104 für 56 Signale, Betriebsspannung und Masse,
- Spannungsversorgung: + 5 V.

## Ports

68 der insgesamt 69 Signalanschlüsse des CPLD-Schaltkreises sind zu insgesamt acht 8-Bit-Ports (A bis H) und einem 4-Bit-Port (I) zusammengefaßt. Das 69. Signal ist ein Taktsignal. Es wird von einem steckbaren Quarzgenerator geliefert (Ports A bis I). Die Ports A bis G sind an den 64poligen Steckverbinder geführt. An Port H sind über Treiberstufen acht LEDs angeschlossen (aktiv High). Port I kann mit den Signalen der seriellen Schnittstelle verbunden werden (Jumper).

*Zuordnung der Ports zu den CPLD-Pins:*

Bit	Port A	Port B	Port C	Port D	Port E	Port F	Port G	Port H	Port I
0	1	2	3	4	5 (KEY3)	6	77 (GSR)	11	13 (TX)
1	71	72	75	79	80 (KEY2)	81	24	83	84 (RX)
2	14	15	17	18	19 (KEY1)	20	68	23	23 (CTS)
3	57	58	61	62	63 (KEY0)	65	12 (GCK3)	67	67 (RTS)
4	32	33	34	35	36	37 (RX1/INT0)	10 (GCK2)	40	–
5	45	46	47	48	50	51 (TX1/INT1)	40	52	–
6	25	26	31	76 (GTS1)	70	41	54	11	–
7	43	44	53	77 (GTS2)	55 (SYNC)	56	69	83	Takt: 9 (GCK1)

## Stromversorgung

Die Betriebsspannung beträgt 5 V. Sie ist von außen zuzuführen (über den 64poligen Steckverbinder oder über Klemmen).

## Tri-State-Erlaubnissignale

Manchmal ist es zweckmäßig, ein im CPLD gebildetes Erlaubnissignal auf einen der zentralen Erlaubniseingänge (GTS...) zu geben. Hierzu ist eine Steckbrücke zwischen GTS2 und GTS1 vorgesehen (JP2). Über einen der beiden Anschlüsse wird das Erlaubnissignal ausgegeben. Der jeweils anderer Anschluß ist dann der Erlaubniseingang für die Tri-State-Stufen.

## Der SRAM

Es kann ein SRAM-Schaltkreis 128k • 8 bestückt werden. Alle Signale liegen auf dem 64poligen Steckverbinder. Somit ist es möglich, den SRAM von außen zu laden (beispielsweise von den Mikrocontrollern des CPLD-Lehrgeräts 12), wenn die CPLD im hochohmigen Zustand gehalten wird (generelles Rücksetzen über Signal GRS).

**Einschränkungen bei Nutzung des SRAM:**

- Port E0 ist Adreßbit A12. Taster KEY3 nicht nutzen und nicht betätigen.
- Port E7 ist Adreßbit A16. Ggf. nicht als SYNC-Signal (für Oszilloskop oder Logikanalysator) des CPLD-Lehrgeräts 12 nutzen (oder nur außerhalb der SRAM-Zugriffe).
- Werden CPLD-Platinen übereinandergestapelt, darf nur auf einer Platine der SRAM genutzt werden (Busverbindung).

**SRAM-Anschlüsse**

Aufbau der folgenden Tabellen:

1. SRAM-Signal
2. Kontakt des CPLD.
3. Portsignal.

**Adresse:**

A7	A6	A5	A4	A3	A2	A1	A0
81	6	48	35	62	18	79	4
F1	F0	D5	D4	D3	D2	D1	D0

A16	A15	A14	A13	A12	A11	A10	A9	A8
55	70	50	36	5	56	41	65	20
E7	E6	E5	E4	E0	F7	F6	F3	F2

**Daten:**

DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
53	31	47	34	61	17	75	3
C7	C6	C5	C4	C3	C2	C1	C0

**Steuersignale:**

CE#	WE#	OE#
69	54	40
G6	G7	G5

**Die serielle Schnittstelle**

Sie ist vorgesehen, um entsprechende Versuchsschaltungen erproben zu können.

*Externer Anschluß:*

Steckverbinder D-Sub 9f. Belegung als Datenkommunikationseinrichtung (DCE).

*Unterstützte Signale:*

- TX = Port I0
- RX = Port I1
- CTS = Port I2
- RTS = Port I3

Signalauswahl über Jumper JP2.

*Ergänzende/alternative serielle Schnittstelle im CPLD-Lehrgerät 12:*

Ist als Hilfsprozessor ein Typ mit zwei seriellen Schnittstellen bestückt, so kann die zweite als Gegenstelle zu Schnittstellenschaltungen im CPLD verwendet werden (ähnlich der seriellen Schnittstelle auf dem Pollin-Steckmodul).

- TX Hilfsprozessor – RX CPLD (Port F4).
- RX Hilfsprozessor – TX CPLD (Port F5).

**Jumper:**

JP1: GTS2 mit GTS1 verbinden. GTS 2 ist dann Quelle des Erlaubnissignals (wird im CPLD gebildet und herausgeführt). Die gleiche Verbindung kann auch auf dem CPLD-Lehrgerät 12 gesteckt werden (dort JP2).

JP2: Nutzung der seriellen Schnittstelle (jedes Signal hat eine eigene Steckbrücke).

JP3: Volle Betriebsspannung an Pin 15 der Parallelschnittstelle (Parallelportsignal ERR#) zur Speisung einer angesteckten Programmierereinrichtung.

JP4: Auswahl TDI (Daisy-Chain-Programmierung).

JP5: Auswahl TDO (Daisy-Chain-Programmierung).

JP6: SRAM-Nutzung erlauben. Wenn gesteckt, kann der Erlaubniseingang CE# von PORT\_G6 angesteuert werden.

**Portübersicht**

Aufbau der folgenden Tabellen:

1. Bitindex im Port.
2. Kontakt des CPLD.
3. Kontakt des 64poligen Steckverbinders.
4. Mikrocontrolleranschlüsse (Ports) des CPLD-Lehrgeräts 12. M = Hauptprozessor, A = Hilfsprozessor.

**Port A:**

7	6	5	4	3	2	1	0
43	25	45	32	57	14	71	1
20	19	18	17	16	15	14	13
M_A7	M_A6	M_A5	M_A4	M_A3	M_A2	M_A1	M_A0

**Port B:**

7	6	5	4	3	2	1	0
44	26	46	33	58	15	72	2
28	27	26	25	24	23	22	21
M_B7	M_B6	M_B5	M_B4	M_B3	M_B2	M_B1	M_B0

**Port C:**

7	6	5	4	3	2	1	0
53	31	47	34	61	17	75	3
36	35	34	33	32	31	30	29
M_C7	M_C6	M_C5	M_C4	M_C3	M_C2	M_C1	M_C0

**Sonderfunktionen:**

7	6	5	4	3	2	1	0
SRAM DQ7	SRAM DQ6	SRAM DQ5	SRAM DQ4	SRAM DQ3	SRAM DQ2	SRAM DQ1	SRAM DQ0

**Port D:**

7	6	5	4	3	2	1	0
77	76	48	35	62	18	79	4
52	49	42	41	40	39	38	37
A_A7	A_A6	A_A5	A_A4	A_A3	A_A2	A_A1	A_A0
–	–	A5	A4	A3	A2	A1	A0

**Sonderfunktionen:**

7	6	5	4	3	2	1	0
GTS2	GTS1	SRAM A5	SRAM A4	SRAM A3	SRAM A2	SRAM A1	SRAM A0

**Port E:**

7	6	5	4	3	2	1	0
55	70	50	36	63	19	80	5
12	11	10	9	43	44	45	7
A_B7	A_B6	A_B5	A_B4	A_B3	A_B2	A_B1	A_B0

**Sonderfunktionen:**

7	6	5	4	3	2	1	0
(SYNC) SRAM A16	SRAM A15	SRAM A14	SRAM A13	KEY0#	KEY1#	KEY2#	KEY3# SRAM A12

KEY3#...0# sind die vier Taster. SYNC ist ein Meßpunkt auf dem CPLD-Lehrgerät 12.

**Port F:**

7	6	5	4	3	2	1	0
56	41	51	37	65	20	81	6
60	59	50	47	56	55	54	53
A_C7	A_C6	A_D3	A_D2	A_C3	A_C2	A_C1	A_C0

**Sonderfunktionen:**

7	6	5	4	3	2	1	0
SRAM A11	SRAM A10	TX1/INT1	RX1/INT0	SRAM A9	SRAM A8	SRAM A7	SRAM A6

*TX1/INT1; RX1/INT0 (nur mit CPLD-Lehrgerät 12):*

Zweite serielle Schnittstelle oder Interruptauslösung. Die Schaltung im CPLD kann das Lehrgerät als Gegenstelle einer seriellen Verbindung nutzen oder im Hilfsprozessor Interrupts auslösen (anwendungsspezifische Programmierung).

### Port G:

7	6	5	4	3	2	1	0
69	54	40	10	12	68	24	77
5	6	3	8	48	58	57	46
M_D4	A_D7	A_D4	M_D5	A_D5	A_C5	A_C4	M_D7

Sondersignale:

7	6	5	4	3	2	1	0
SRAM WE#	SRAM CE#	SRAM OE#	GCK2	(SYNC) GCK3			GSR

SYNC ist ein Meßpunkt auf dem CPLD-Lehrgerät 12.

### Port H:

7	6	5	4	3	2	1	0
83	11	52	39	66	21	82	7

LED-Anzeige:

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

### Port I:

				3	2	1	0
				67	23	84	13

Serielle Schnittstelle:

				RTS	CTS	RX	TX
--	--	--	--	-----	-----	----	----

Function Block	Macrocell	PC84	Port	Notes	Function Block	Macrocell	PC84	Port	Function Block	Macrocell	PC84	Port
1	1	–			3	1	–		5	1	–	
1	2	1	A0		3	2	14	A2	5	2	32	A4
1	3	2	B0		3	3	15	B2	5	3	33	B4
1	4	–			3	4	–		5	4	–	
1	5	3	C0		3	5	17	C2	5	5	34	C4
1	6	4	D0		3	6	18	D2	5	6	35	D4
1	7	–			3	7	–		5	7	–	
1	8	5	E0		3	8	19	E2	5	8	36	E4
1	9	6	F0		3	9	20	F2	5	9	37	F4
1	10	–			3	10	–		5	10	–	
1	11	7	G0		3	11	21	G2	5	11	39	G4
1	12	9	T1	[1]	3	12	23	H2	5	12	40	H4
1	13	–			3	13	–		5	13	–	
1	14	10	T2	[1]	3	14	24	S2	5	14	41	F6
1	15	11	H0		3	15	25	A6	5	15	43	A7
1	16	12	T3	[1]	3	16	26	B6	5	16	–	
1	17	13	S0		3	17	31	C6	5	17	44	B7
1	18	–			3	18	–		5	18	–	
2	1	–			4	1	–		6	1	–	
2	2	71	A1		4	2	57	A3	6	2	45	A5
2	3	72	B1		4	3	58	B3	6	3	46	B5
2	4	–			4	4	–		6	4	–	
2	5	74	T0	[1]	4	5	61	C3	6	5	47	C5
2	6	75	C1		4	6	62	D3	6	6	48	D5
2	7	–			4	7	–		6	7	–	
2	8	76	T4	[1]	4	8	63	E3	6	8	50	E5
2	9	77	T5	[1]	4	9	65	F3	6	9	51	F5
2	10	–			4	10	–		6	10	–	
2	11	79	D1		4	11	66	G3	6	11	52	H5
2	12	80	E1		4	12	67	H3	6	12	53	C7
2	13	–			4	13	–		6	13	–	
2	14	81	F1		4	14	68	S3	6	14	54	D7
2	15	82	G1		4	15	69	D6	6	15	55	E7
2	16	83	H1		4	16	–		6	16	–	
2	17	84	S1		4	17	70	E6	6	17	56	F7
2	18	–			4	18	–		6	18	–	

Pin Type	PC84
I/O/GCK1	9
I/O/GCK2	10
I/O/GCK3	12
I/O/GTS1	76
I/O/GTS2	77
I/O/GSR	74
TCK	30
TDI	28
TDO	59
TMS	29
V <sub>CCINT</sub> 5 V	38,73,78
V <sub>CCIO</sub> 3.3 V/5 V	22,64
GND	8,16,27,42,49,60



## Der Programmierer

Die Schaltung ist gegenüber dem Original der Fa. Xilinx vereinfacht.

Pin	Parallelport-Signal	Programmer-Signal	Nutzung
1	<i>STB#</i>		
2	D0	DIN	TDI
3	D1	CLK	TCK
4	D2	TMS_IN	TMS
5	D3	CTRL	Aufschalten auf TCK, TDI und TMS
6	<i>D4</i>	<i>PROG</i>	<i>TDO auf Low ziehen</i>
7	<i>D5</i>		
8	D6	PRS_DETECT	Erkennen der Anwesenheit
9	<i>D7</i>		
<b>10</b>	<i>ACK#</i>		
<b>11</b>	BUSY	PRS_DETECT	Erkennen der Anwesenheit
<b>12</b>	PE	PRS_DETECT	Erkennen der Anwesenheit
<b>13</b>	SELECT (SEL)	DONE	TDO
14	<i>AF</i>		
<b>15</b>	ERROR# (ERR#)	VCC SENSE	Betriebsspannung
16	<i>INIT#</i>		
17	<i>SELIN#</i>		
18	<i>GND</i>		
19	<i>GND</i>		
20	<i>GND</i>		
21	<i>GND</i>		
22	<i>GND</i>		
23	<i>GND</i>		
24	<i>GND</i>		
25	<i>GND</i>		

Halbfett = Ausgang, kursiv = nicht genutzt. Pin 6: Im Original-Xilinx-Programmer genutzt, aber hier nicht.

### *Die Betriebsspannung an Pin 15:*

- a) Bei Programmierung über den herkömmlichen Parallelport eines Personalcomputers: JP3 offen. Es wird ein High-Pegel angeboten, anhand dessen die Programmiersoftware die Anwesenheit eines Programmers erkennen kann.
- b) Bei Programmierung über einen angesteckten Programmieradapter (mit Mikrocontroller, USB usw.): JP 3 kann gesteckt werden. Dann stehen an Pin 15 die + 5 V zur Speicherung des Programmieradapters zur Verfügung (Direktverbindung zu VCC). Ggf. kann auch die CPLD-Platine vom USB gespeist werden.

### **Daisy-Chaining beim Programmieren**

Maximal drei Module. Eines ist der Master. Dort ist das Parallelportkabel angeschlossen. Die Slaves werden über ein 8adriges Flachbandkabel nachgeschaltet. Konfigurationseinstellung mittels JP4 und JP5:

#### **a) Nur Master**

- CPLD-TDI an TDI (vom Programmierer)
- CPLD-TDO nach TDO (zum Programmierer)

#### **b) Master und 1 Slave**

Master:

- CPLD-TDI an TDI (vom Programmierer)
- CPLD-TDO nach TD1 (zum TDI des Slaves)

Slave:

- CPLD-TDI an TD1 (vom TDO des Masters)
- CPLD-TDO nach TDO (zum Programmierer)

#### **c) Master und 2 Slaves**

Master:

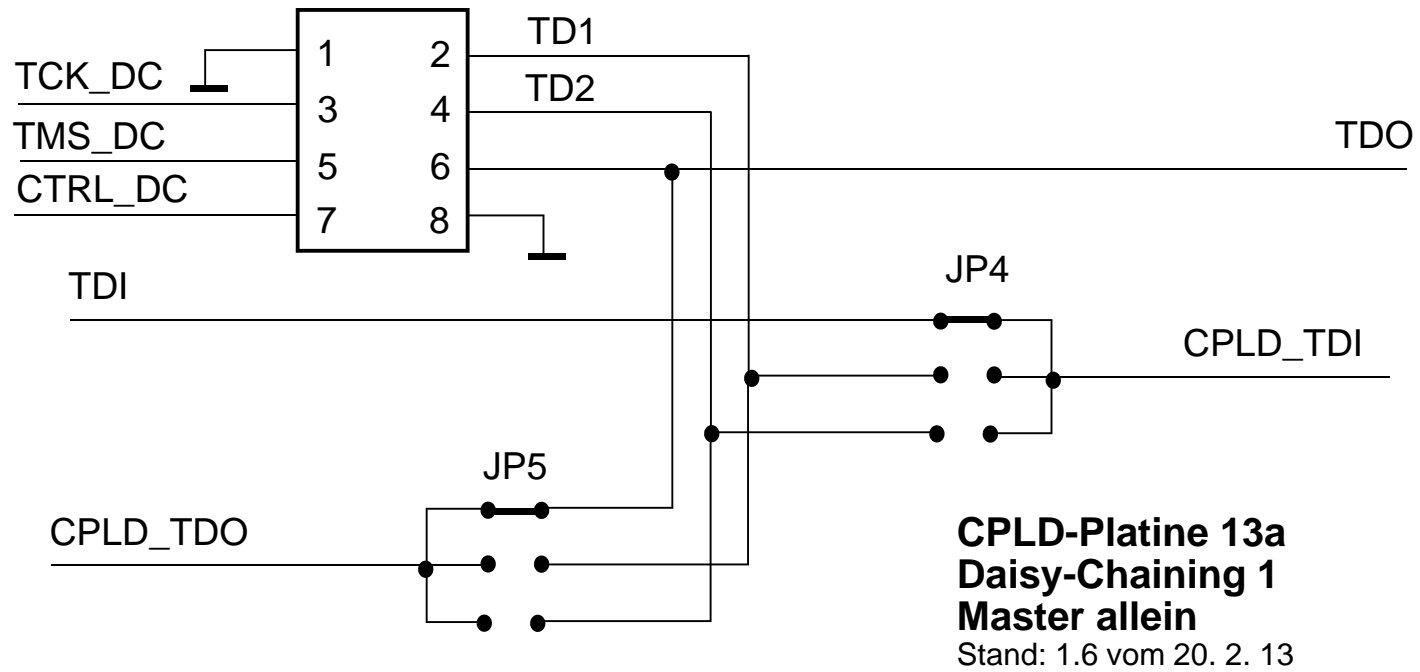
- CPLD-TDI an TDI (vom Programmierer)
- CPLD-TDO nach TD1 (zum TDI des 1. Slaves)

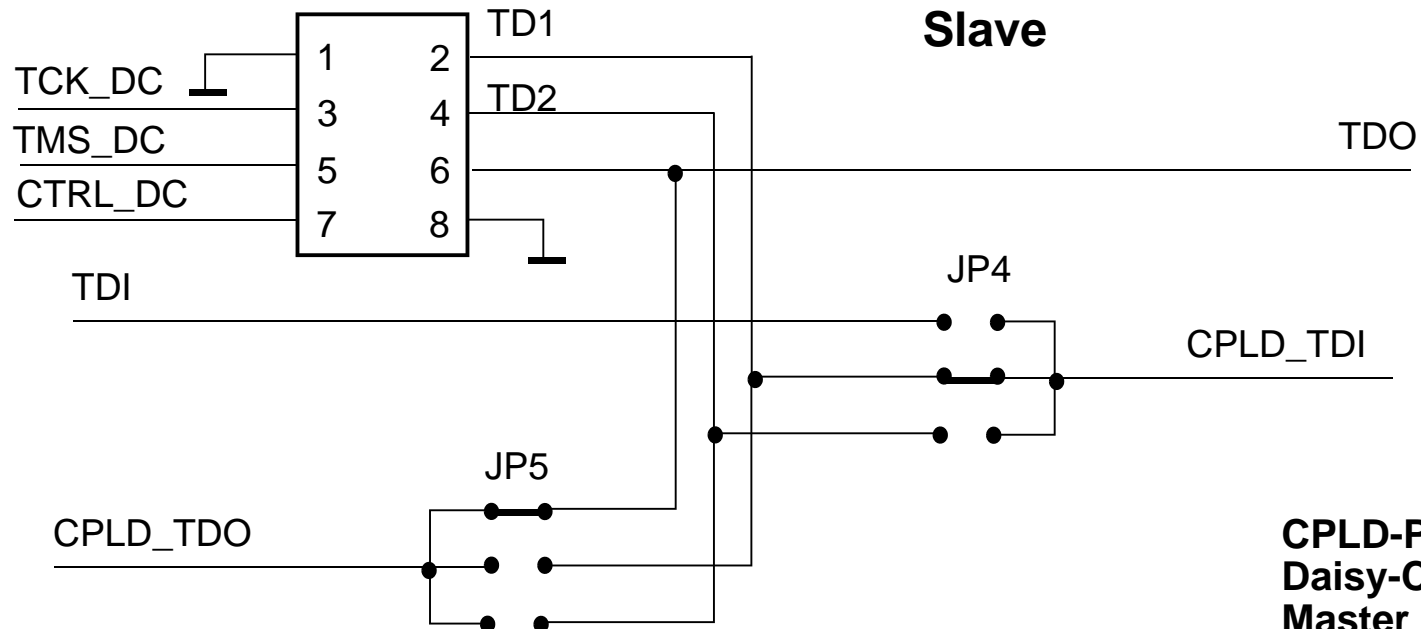
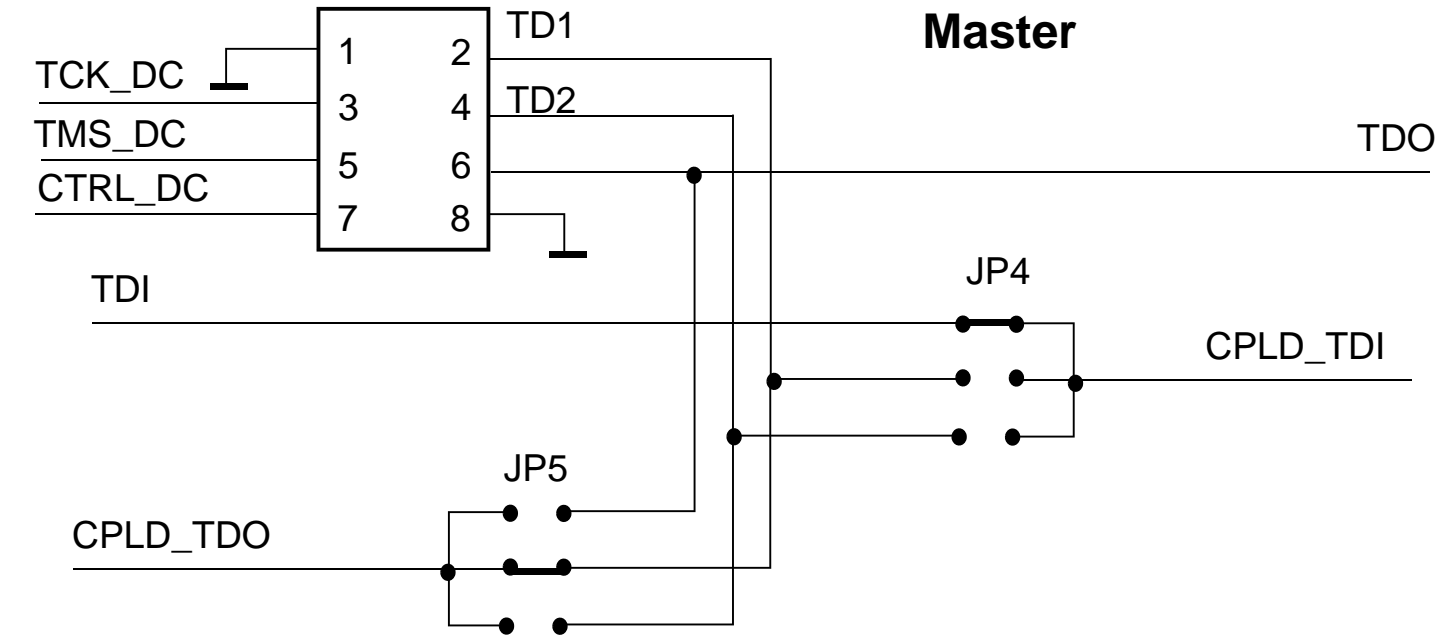
1. Slave:

- CPLD-TDI an TD1 (vom TDO des Masters)
- CPLD-TDO nach TD2 (zum TDI des 2. Slaves)

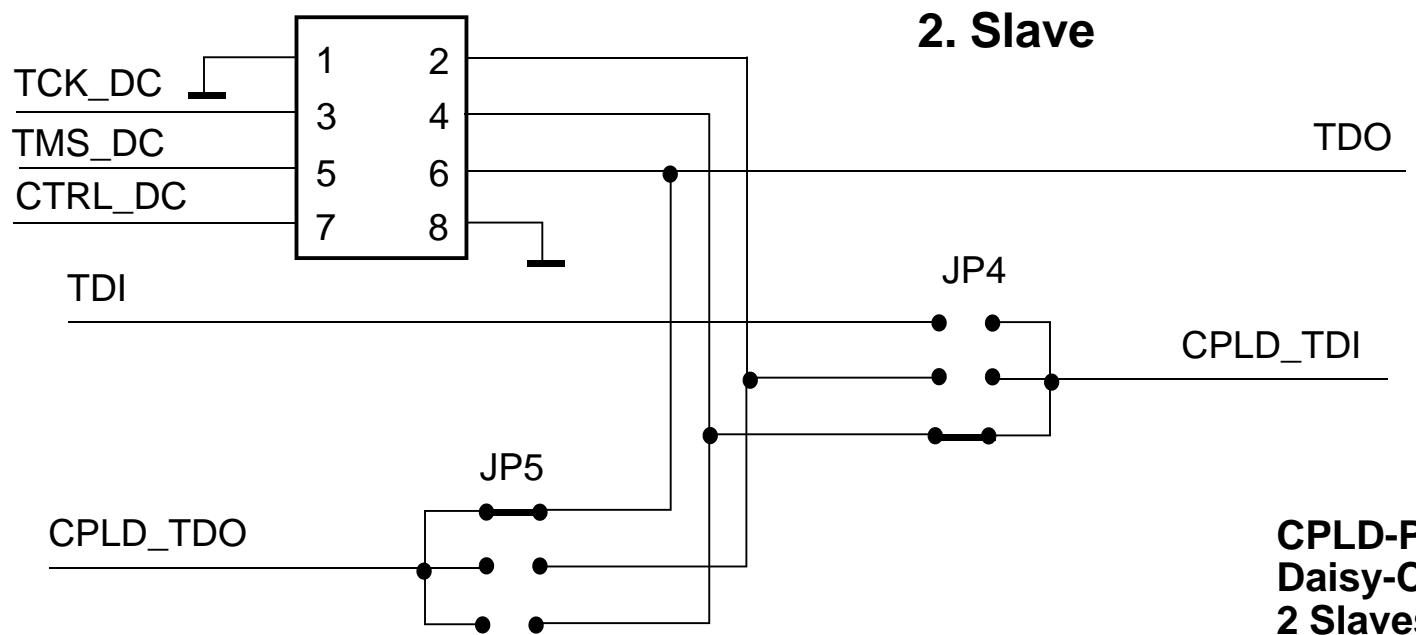
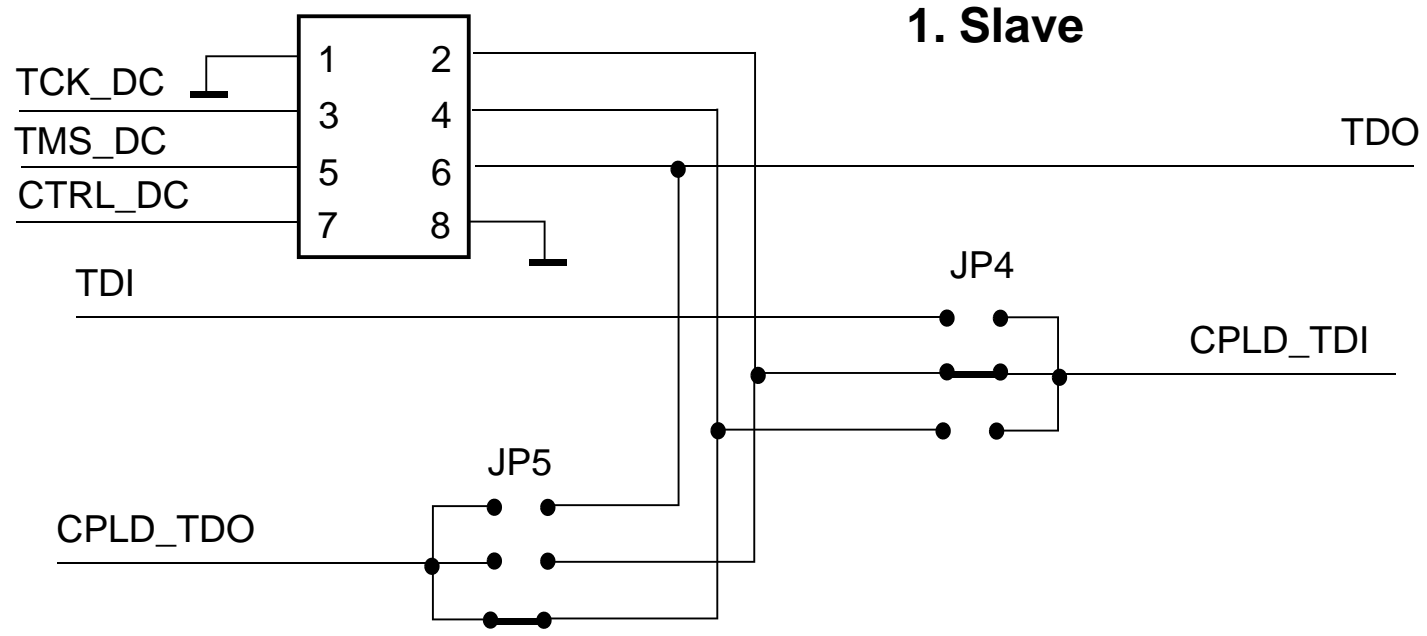
2. Slave:

- CPLD-TDI an TD2 (vom TDO des 1. Slaves)
- CPLD-TDO nach TDO (zum Programmierer)





**CPLD-Platine 13a**  
**Daisy-Chaining 2**  
**Master + 1 Slave**  
 Stand: 1.6 vom 20. 2. 13



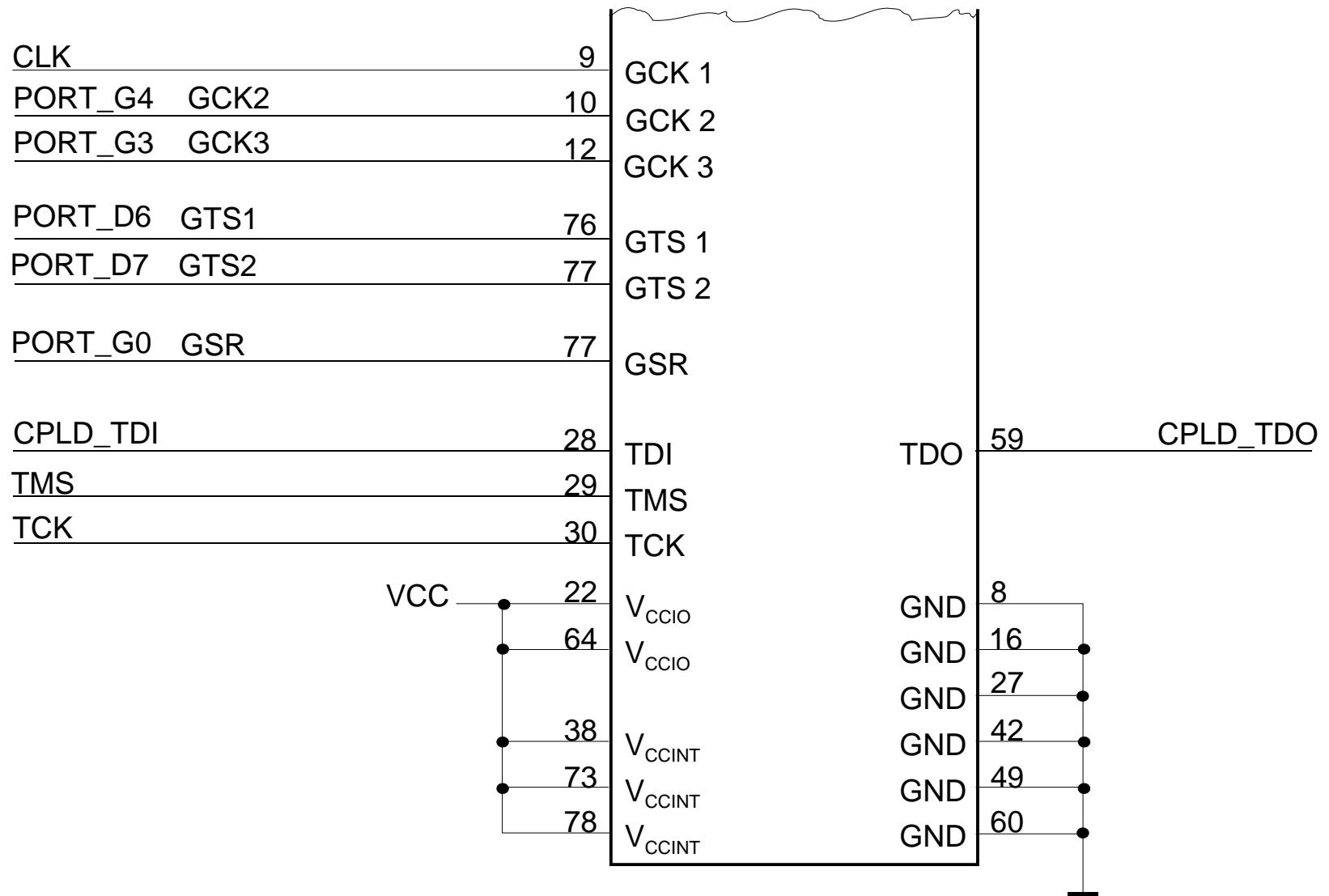
**CPLD-Platine 13a**  
**Daisy-Chaining 3**  
**2 Slaves**  
 Stand: 1.6 vom 20. 2. 13

PORT_			CPLD XC95108 PC84			PORT_		
A0		1	FB 1		FB 2	71		A1
B0		2	2		2	72		B1
C0	SRAM DQ0	3	3		3	75	SRAM DQ1	C1
D0	SRAM A0	4	5		6	79	SRAM A1	D1
E0	SRAM A12 KEY3#	5	6		11	80	KEY2#	E1
F0	SRAM A6	6	8		12	81	SRAM A7	F1
H0	LED0	7	9		14	82	LED1	H1
H6	LED6	11	11		15	83	LED7	H7
I0	TX	13	15		16	84	RX	I1
			17		17			
A2		14	FB 3		FB 4	57		A3
B2		15	2		2	58		B3
C2	SRAM DQ2	17	3		3	61	SRAM DQ3	C3
D2	SRAM A2	18	5		5	62	SRAM A3	D3
E2	KEY1#	19	6		6	63	KEY0#	E3
F2	SRAM A8	20	8		8	65	SRAM A9	F3
H2	LED2	21	9		9	66	LED3	H3
I2	CTS	23	11		11	67	RTS	I3
G1		24	12		12	68		G2
A6		25	14		14	69	SRAM WE#	G7
B6		26	15		15	70	SRAM A15	E6
C6	SRAM DQ6	31	16		17			
			17					
A4		32	FB 5		FB 6	45		A5
B4		33	2		2	46		B5
C4	SRAM DQ4	34	3		3	47	SRAM DQ5	C5
D4	SRAM A4	35	5		5	48	SRAM A5	D5
E4	SRAM A13	36	6	SRAM A12	6	50	SRAM A14	E5
F4	RX1/INT0	37	8		8	51	TX1/INT1	F5
H4	LED4	39	9		9	52	LED5	H5
G5	SRAM OE#	40	11		11	53	SRAM DQ7	C7
F6	SRAM A10	41	12		12	54	SRAM CE#	G6
A7		43	14		14	55	SYNC SRAM A16	E7
B7		44	15		15	56	SRAM A11	F7
			17		17			

## CPLD-Platine 13a CPLD-Schaltkreis (1)

Blatt 1 von 9

Stand: 1.6 vom 20. 2. 13



**CPLD-Platine 13a**  
**CPLD-Schaltkreis (2)**

Blatt 2 von 9

Stand: 1.6 vom 20. 2. 13

PORT_G5	OE#	1	2	VCC
PORT_G7	WE#	3	4	CE# PORT_G6
PORT_E0	KEY3#A12	5	6	GCK2 PORT_G4
PORT_E4	A13	7	8	A14 PORT_E5
PORT_E6	A15	9	10	A16 SYNC PORT_E7
PORT_A0	1	11	12	2 PORT_A1
PORT_A2	3	13	14	4 PORT_A3
PORT_A4	5	15	16	6 PORT_A5
PORT_A6	7	17	18	8 PORT_A7
PORT_B0	9	19	20	10 PORT_B1
PORT_B2	11	21	22	12 PORT_B3
PORT_B4	13	23	24	14 PORT_B5
PORT_B6	15	25	26	16 PORT_B7
PORT_C0	DQ0	17	27	18 DQ1 PORT_C1
PORT_C2	DQ2	19	29	20 DQ3 PORT_C3
PORT_C4	DQ4	21	31	22 DQ5 PORT_C5
PORT_C6	DQ6	23	33	24 DQ7 PORT_C7
PORT_D0	A0	25	35	26 A1 PORT_D1
PORT_D2	A2	27	37	28 A3 PORT_D3
PORT_D4	A4	29	39	30 A5 PORT_D5
PORT_E3	KEY0#	31	41	32 KEY1# PORT_E2
PORT_E1	KEY2#	33	43	34 GSR PORT_G0
PORT_F4	GTS3	35	45	36 GCK3 PORT_G3
PORT_D6	GTS1	37	47	38 GTS4 PORT_F5
		39	49	40 GTS2 PORT_D7
PORT_F0	A6	51	52	A7 PORT_F1
PORT_F2	A8	53	54	A9 PORT_F3
PORT_G1		55	56	PORT_G4
PORT_F6	A10	57	58	A11 PORT_F7
	VCC	59	60	VCC
		61	62	
		63	64	

Polin-Stecker 40pol.

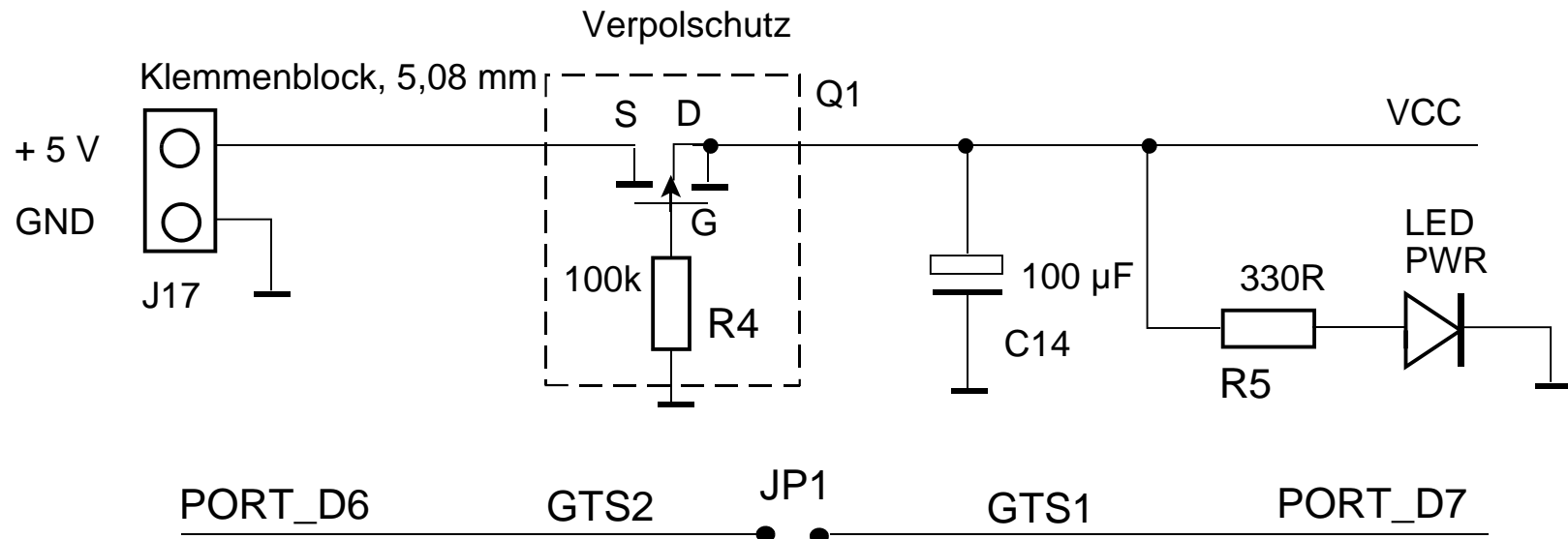
J1

**CPLD-Platine 13a**  
**Steckverbinder PC/104**

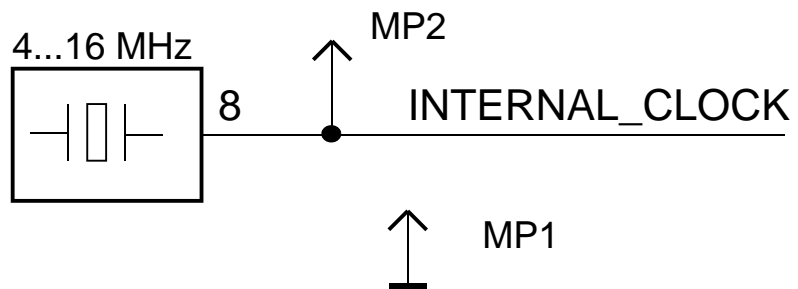
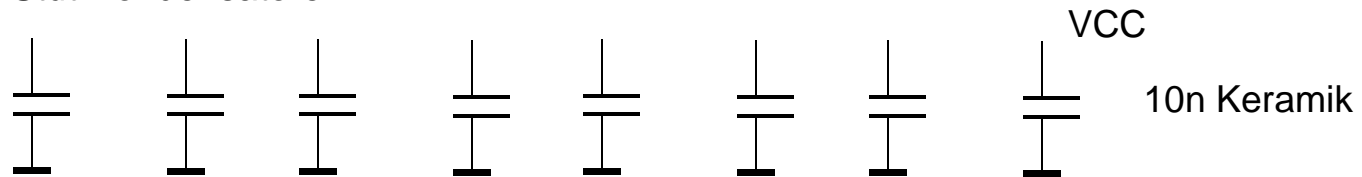
Blatt 3 von 9

Stand: 1.6 vom 20. 2. 13





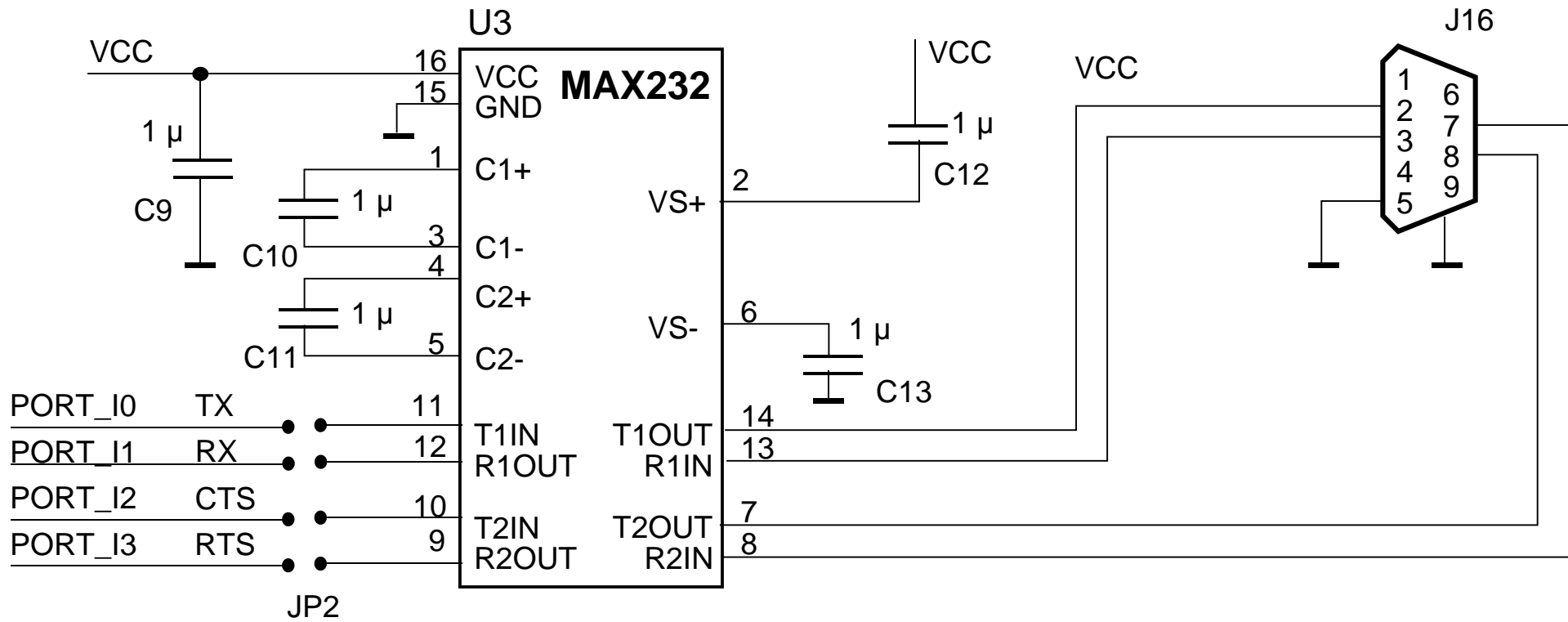
Stützkondensatoren:



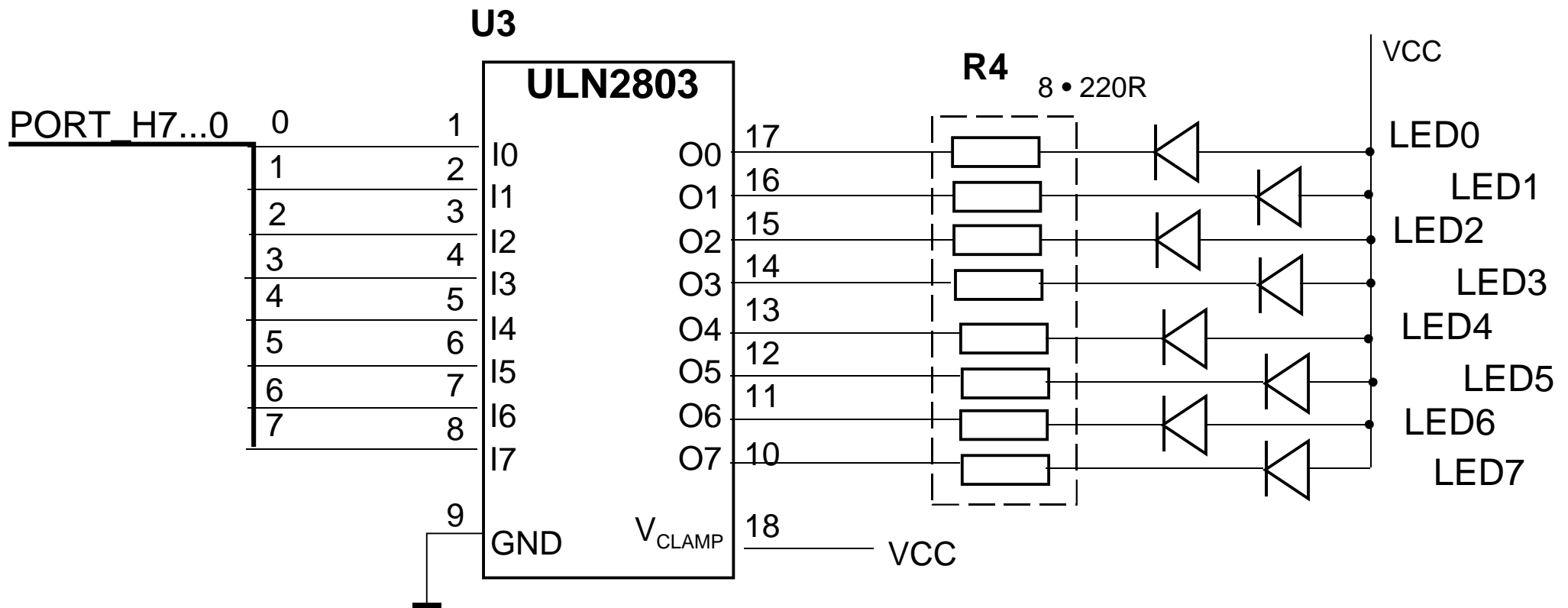
### CPLD-Platine 13a Stromversorgung und Takt

Blatt 4 von 9

Stand: 1.6 vom 20. 2. 13



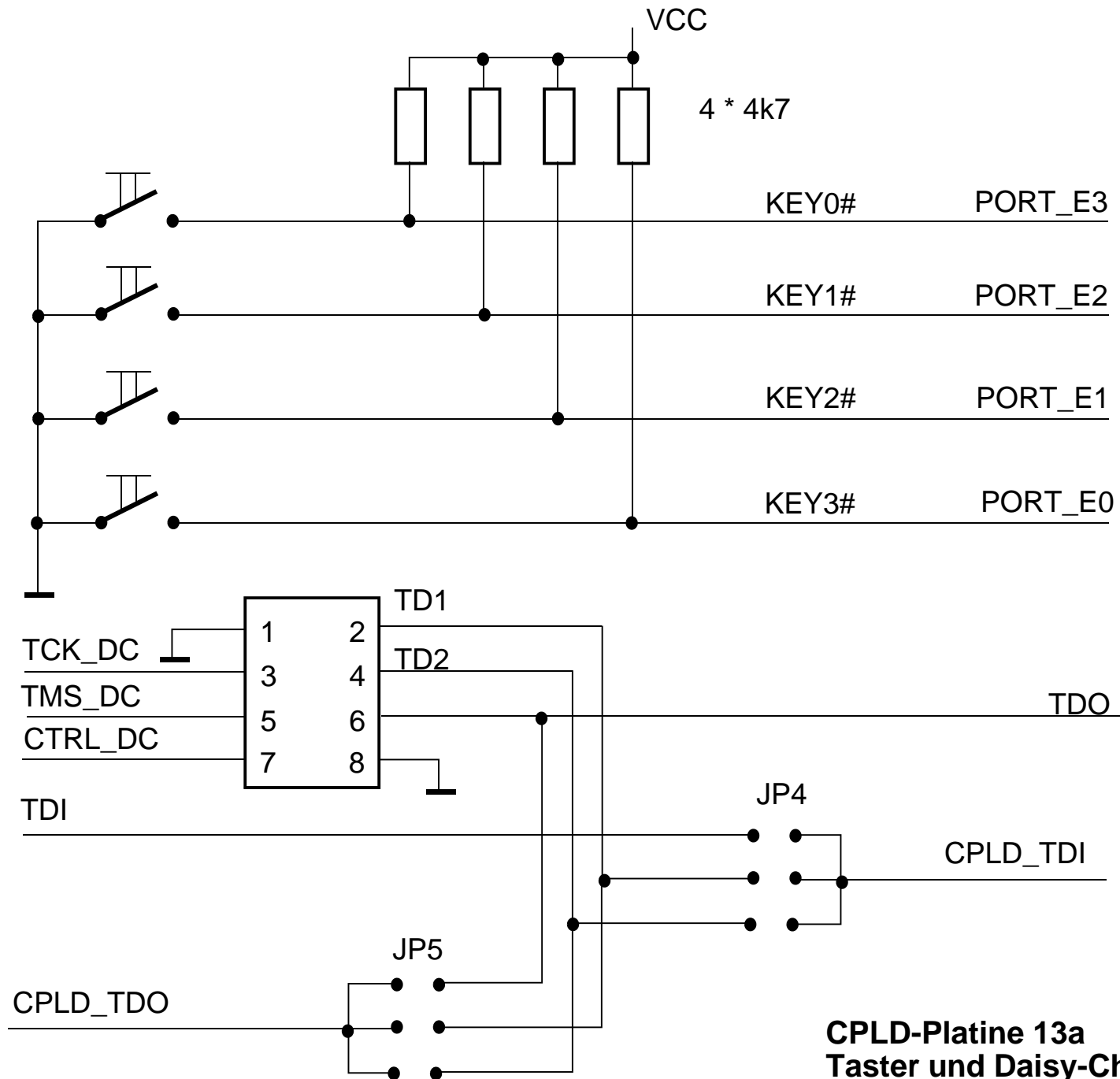
**CPLD-Platine 13a**  
**Serielle Schnittstelle**  
 Blatt 5 von 9  
 Stand: 1.6 vom 20. 2. 13



**CPLD-Platine 13a  
LED-Anzeige**

Blatt 6 von 9

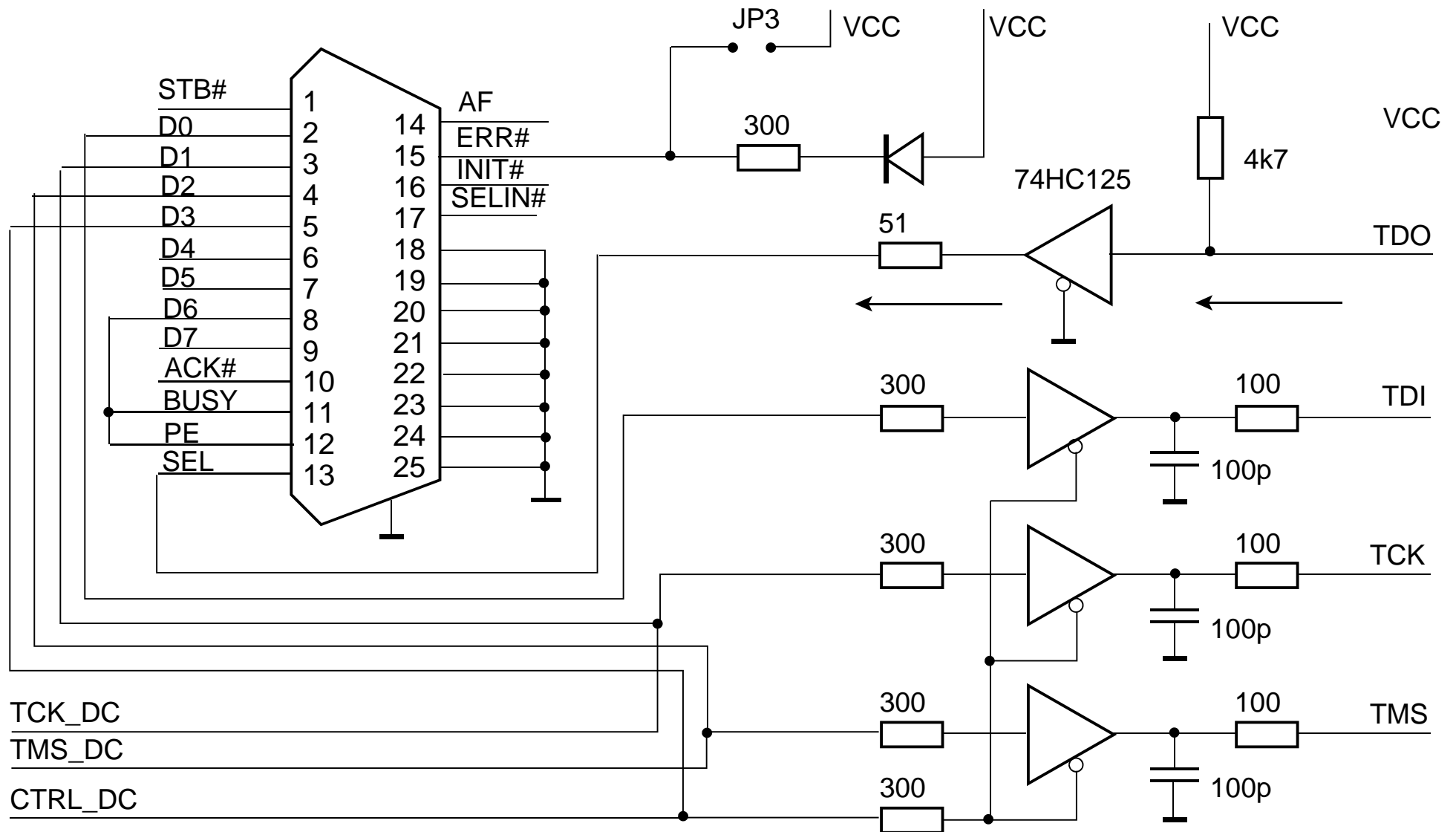
Stand: 1.6 vom 20. 2. 13



**CPLD-Platine 13a  
Taster und Daisy-Chaining**

Blatt 7 von 9

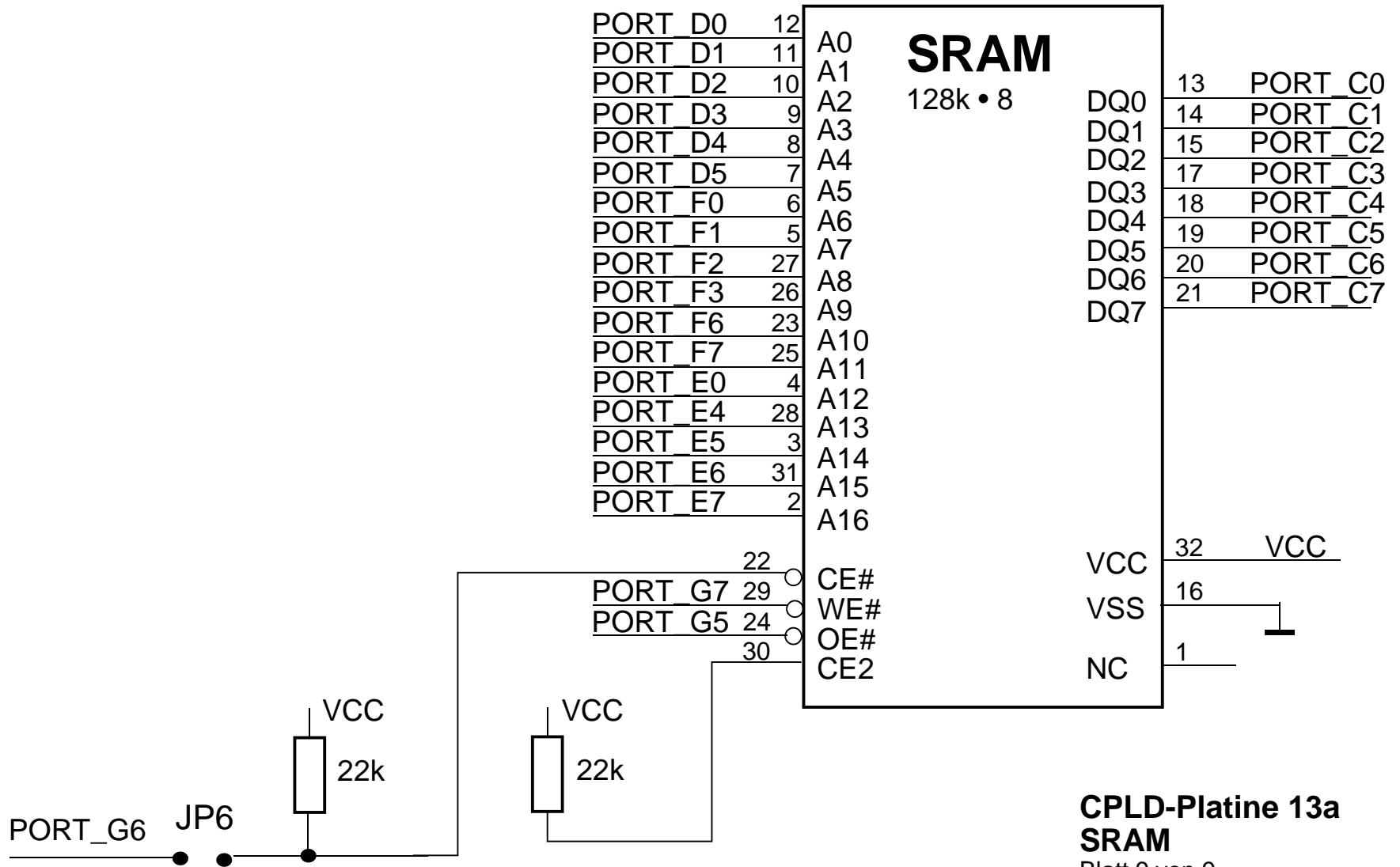
Stand: 1.6 vom 20. 2. 13



**CPLD-Platine 13a  
Programmer**

Blatt 8 von 9

Stand: 1.6 vom 20. 2. 13



**CPLD-Platine 13a  
SRAM**