

Digitaltechnik

Aufgabensammlung 1

Stand: 01 vom 28. 2. 07

1. Abb. 1 zeigt den Schaltplan eines kombinatorischen Netzwerks. Geben Sie die Schaltgleichungen für beide Ausgangssignale A, B an.

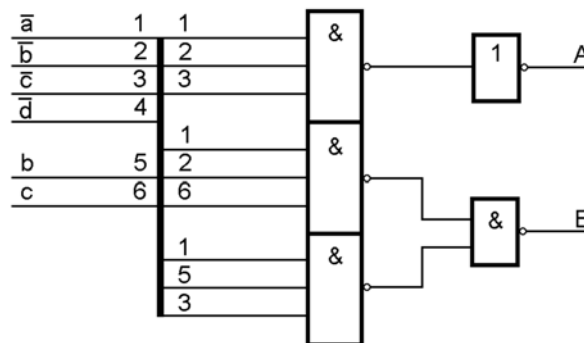


Abb. 1

2. An einem D-Flipflop-Register liegen Eingangssignale gemäß Abb. 2 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

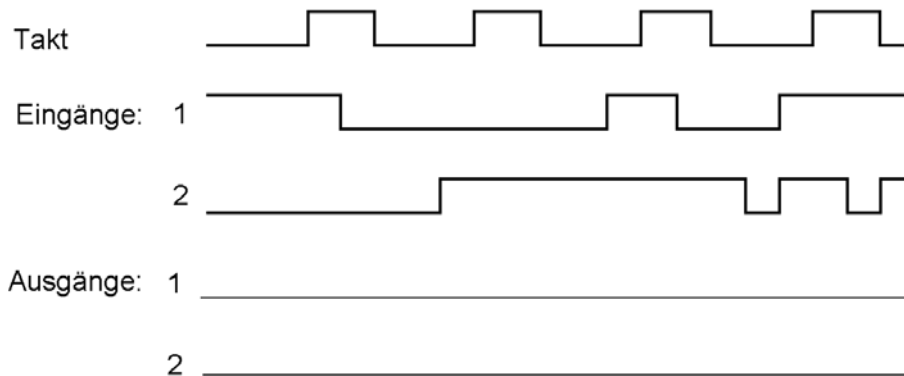


Abb. 2

3. Die XOR-Funktion ist mit verschiedenen Arten von Gattern zu realisieren (Schaltplan):
- bauen Sie ein XOR mit zwei Eingängen aus NANDs mit zwei Eingängen.
 - bauen Sie ein XOR mit drei Eingängen aus XORs mit zwei Eingängen.
 - bauen Sie ein XOR aus NANDs mit beliebiger Eingangszahl.
 - bauen Sie ein XOR drei Eingängen mit einem 8-zu-1-Multiplexer.
4. An kombinatorischen Schaltungen messen Sie Signalbelegungen (Abb. 3). Ist das in Ordnung? Tip: Gehen Sie Gatter für Gatter durch und ermitteln Sie so Schritt für Schritt die Werte, die sich bei ordnungsgemäßer Funktion ergeben müßten.

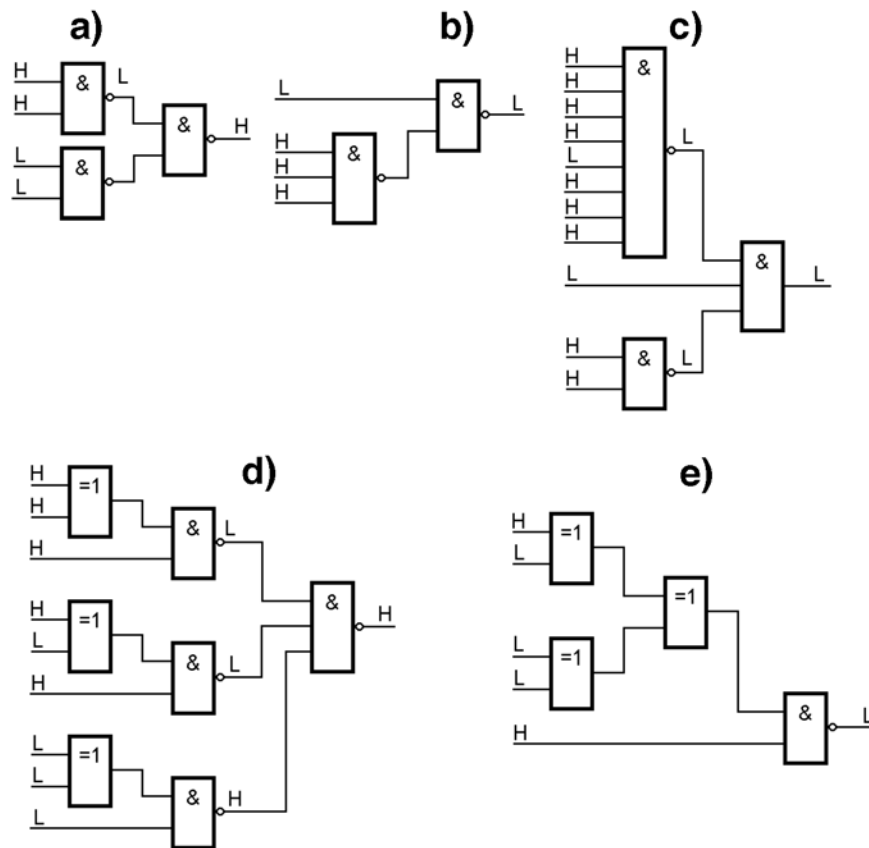


Abb. 3

5. Entwerfen Sie ein vollsynchrones Register gemäß Abb. 4. Funktionselemente: D-Flipflops + Gatter nach Wahl.

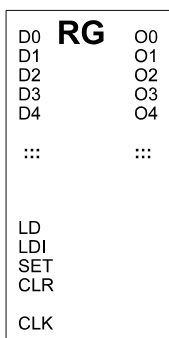


Abb. 4

Die Funktionen:

- LD: Daten übernehmen,
- LDI: Daten invertiert übernehmen,
- SET: alles setzen (FF...FH),
- CLR: alles löschen (00...0H),
- sonst: nichts tun (Daten halten).

CLR soll mit Vorrang wirken, also auch dann, wenn weitere Steuerleitungen erregt sind. Ansonsten ist die Mehrfacherregung nicht zu bearbeiten (Wirkung ist gleichgültig).

6. Wieviele Flipflops sind für einen Zähler erforderlich, der modulo 18 zählen soll:

- a) bei Ausführung als Ringzähler,
- b) bei Ausführung als Johnsonzähler,
- c) bei Ausführung als asynchroner Binärzähler,
- d) bei Ausführung als synchroner Binärzähler?

7. An einem D-Flipflop-Register messen Sie Signalverläufe gemäß Abb. 5. Wo finden Sie Fehler? Zeichnen Sie ggf. ein, wie die Ausgangssignale eigentlich schalten müßten.

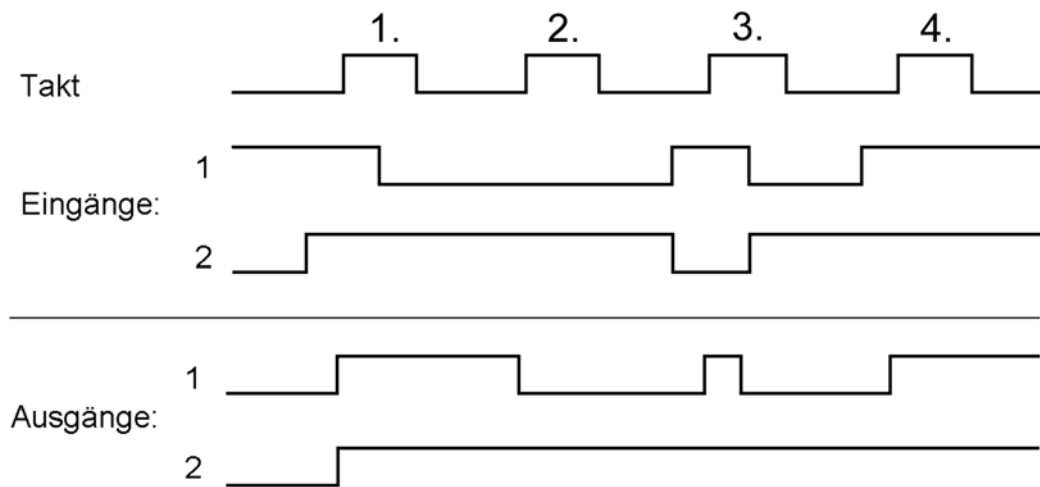


Abb. 5

8. In einem Gehäuse sind drei Lüfter A, B, C angeordnet. Jeder Lüfter hat einen Sensor, der ein Low-Signal liefert, wenn der betreffende Lüfter arbeitet. Ist der Lüfter ausgefallen, liefert der Sensor ein High-Signal. Entwerfen Sie eine Überwachungsschaltung (Abb. 6), die zwei Kontroll-LEDs G, R folgendermaßen ansteuert:

- die grüne LED (G) soll leuchten, wenn alle drei Lüfter arbeiten,
- die rote LED (R) soll leuchten, wenn einer der Lüfter (gleich welcher) ausgefallen ist,
- die rote LED (R) soll blinken, wenn zwei oder alle drei Lüfter ausgefallen sind. Entsprechende Blinkimpulse sind verfügbar (Signal BLNK).

Ansteuerung der LEDs: aktiv Low. Bauelementebasis: Gatter nach eigener Wahl. Minimierung ist nicht erforderlich.

Zusatzaufgabe:

Die Fehleranzeige soll solange gehalten werden, bis der Servicetechniker einen entsprechenden Schalter betätigt (Kontakt SRVCR). Der Kontakt wirkt aktiv Low.

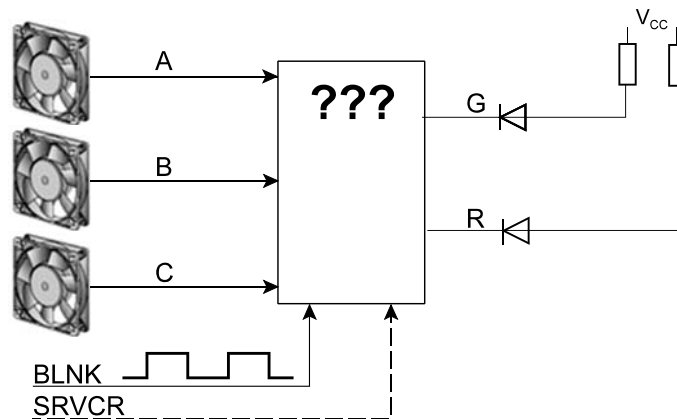


Abb. 6

9. Entwerfen Sie eine Erweiterungsschaltung, die zwischen Vorzeichen- und Nullerweiterung umschaltbar ist (Abb. 7). Sie soll 12-Bit-Werte eines A-D-Wandlers in eine 16-Bit-Rechenschaltung eingeben. Es genügt, die Bitpositionen 15...12 darzustellen. Funktionsweise:

- Steuersignal SIGN_XTND = Low: Belegung der Bitpositionen 15...12 gemäß Nullerweiterung,
- Steuersignal SIGN_XTND = High: Belegung der Bitpositionen 15...12 gemäß Vorzeichenerweiterung.

Bauelementebasis: Gatter nach eigener Wahl. Minimierung ist nicht erforderlich.

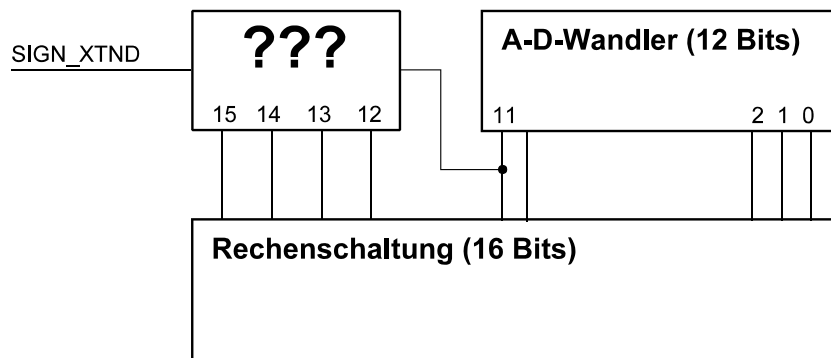


Abb. 7

10. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan:

$$\bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} c \bar{d} \vee \bar{a} b \bar{c} d \vee \bar{a} b c d \vee a \bar{b} \bar{c} \bar{d} \vee a \bar{b} c \bar{d} \vee a \bar{b} c d \vee a b \bar{c} \bar{d}$$

CD: 00 01 11 10

AB: 00	0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} c \bar{d}$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$	AB: 00
01	4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b c \bar{d}$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$	01
11	12 = $a b \bar{c} \bar{d}$	13 = $a b c \bar{d}$	15 = $a b c d$	14 = $a b c \bar{d}$	11
10	8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} c \bar{d}$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$	10
	CD: 00	01	11	10	

11. Geben Sie an (Skizze, Funktionserläuterung), wie ein D-Flipflop auf Grundlage von 2-zu-1-Multiplexern aufgebaut werden kann.
12. Was versteht man unter *Break before Make* in Hinsicht auf Tri-State-Signale? Wozu ist das gut? (Erläutern Sie kurz die Zusammenhänge.)
13. Auf einer Leiterplatte befindet sich u. a. die in Abb. 8 gezeigte Schaltung. Sie funktioniert aber nicht richtig. Die erforderliche Änderung:

alt: $ERROR = FAULT \cdot PARITY_CHK \cdot WR$

neu: $ERROR = FAULT \cdot PARITY_CHK \cdot WR \cdot ADRS_DECODE$

(ADRS_DECODE ist ein Signal aus anderen Teilen der Schaltung.)

Es stehen aber nur die in Abb. 8 dargestellten Funktionselemente zur Verfügung. Lassen Sie sich was einfallen...

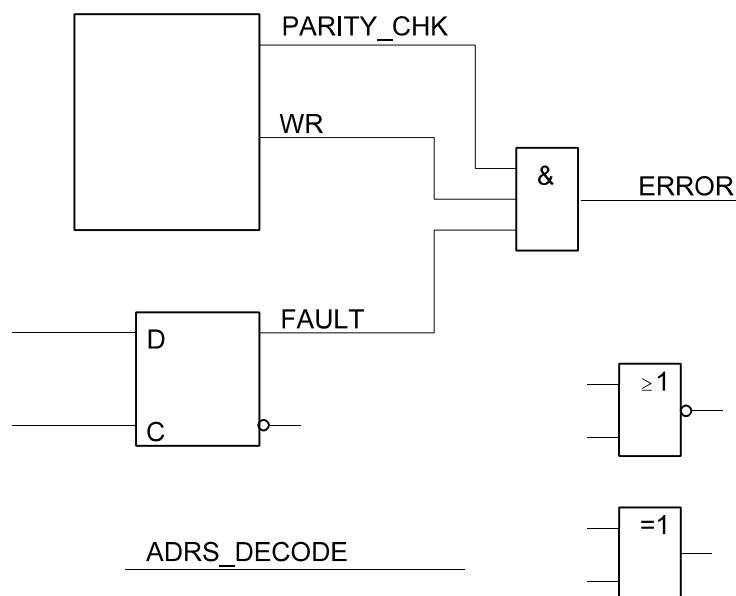
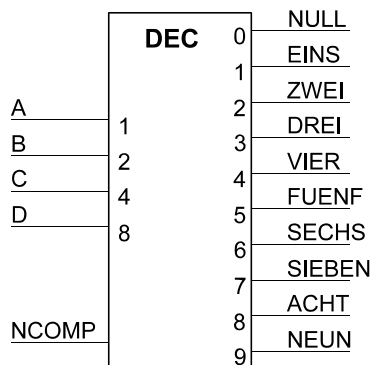


Abb. 8

14. In einem CPLD-Schaltkreis der Xilinx-9500-Reihe soll ein 16-Bit-Schieberegister verwirklicht werden.
- es soll nur in eine Richtung geschoben werden. Wieviele Makrozellen werden hierfür benötigt?
 - wieviele Makrozellen werden benötigt, wenn die Funktionen Rechtsschieben logisch, Rechtsschieben arithmetisch, Linksschieben und Laden (Parallelübernahme) realisiert werden sollen?
15. Welchen eigentümlichen Vorteil hat ein Carry-Save-Addierer?
16. Nennen Sie zwei Zählerschaltungen, die garantiert glitchfrei arbeiten.

17. Denksportaufgabe: Es ist ein BCD-Decoder (Abb. 9) zu entwerfen, der wahlweise auf das Neunerkomplement umgeschaltet werden kann (Steuersignal NCOMP = 0: 0H => NULL, 1H => EINS usw.; Steuersignal NCOMP = 1: 0H => NEUN; 1H => ACHT usw.). Funktionselemente: ein BCD-Decoderschaltkreis sowie Gatter und Multiplexer nach Wahl. Alternative Lösungsansätze: (1) Ausnutzung des Decoderschaltkreises, der durch Zusatzbeschaltung entsprechend erweitert wird, (2) Aufbau eines umschaltbaren Decoders von Grund auf. Entscheiden Sie sich für einen der beiden Ansätze und lassen Sie sich was einfallen (es sei verraten, daß auf Grundlage von Ansatz (1) die Aufgabe recht schnell erledigt ist).

a) der zu entwerfende Decoder



b) ein herkömmlicher Decoder darf als Funktionselement verwendet werden

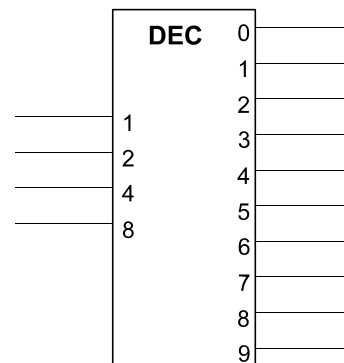


Abb. 9

18. Ein Zähler vom Typ 74x161 ist gemäß Abb. 10 beschaltet. Geben Sie den Bereich der Zählwerte an.

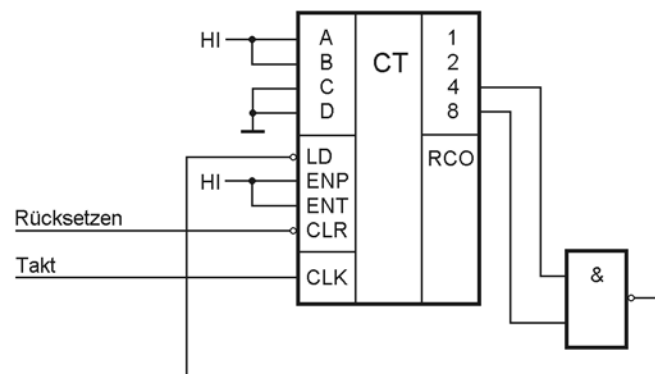


Abb. 10

19. Womit müssen Sie rechnen (Fachbegriff + kurze Erläuterung), wenn Eingangssignale an Registern innerhalb der vorgeschriebenen Setup- und Haltezeit-Intervalle umschalten (d. h., wenn sie zu solchen Zeiten schalten, wo sie an sich stabil anliegen müßten)?

20. Entwerfen Sie einen 1-aus-4-Decoder (Abb. 11). Beschreibung der Signale:

- A0, A1: Adreßeingänge (zu decodieren),
- D0...D4: Decoder-Ausgänge,
- E0, E1: konjunktiv verknüpfte Erlaubniseingänge. Der jeweilige Decoder-Ausgang soll aktiv werden, wenn $E0 \& \overline{E1}$ erfüllt ist.
- E2: disjunktiv wirkender Erlaubniseingang. Der jeweilige Decoder-Ausgang soll aktiv werden, wenn E2 aktiv ist.
- GA: globale Aktivierung. Ist GA aktiv (Low), so sollen alle 4 Decoder-Ausgänge aktiv werden.
- P: Polaritätswahl. P = 0: Decoder-Ausgänge aktiv Low; P = 1: Decoder-Ausgänge aktiv High.

Realisierungsbasis: Negatoren + elementare Gatter (vorzugsweise NANDs).

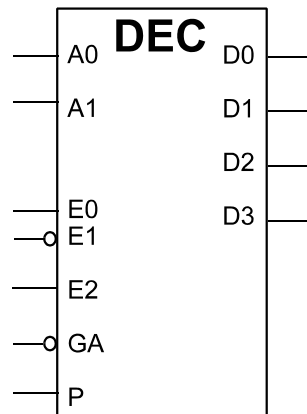


Abb. 11

21. Am Eingang einer Schaltung messen Sie die dargestellten Signalverläufe (Abb. 12). Was erwarten Sie am Ausgang? (Signalverlauf in idealisierter Form in das Diagramm einzeichnen.)

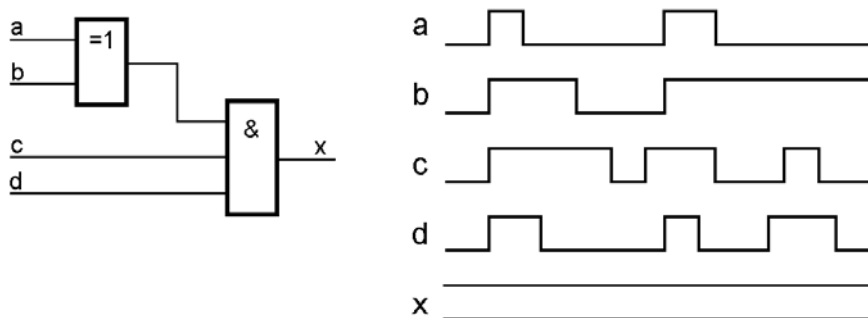


Abb. 12

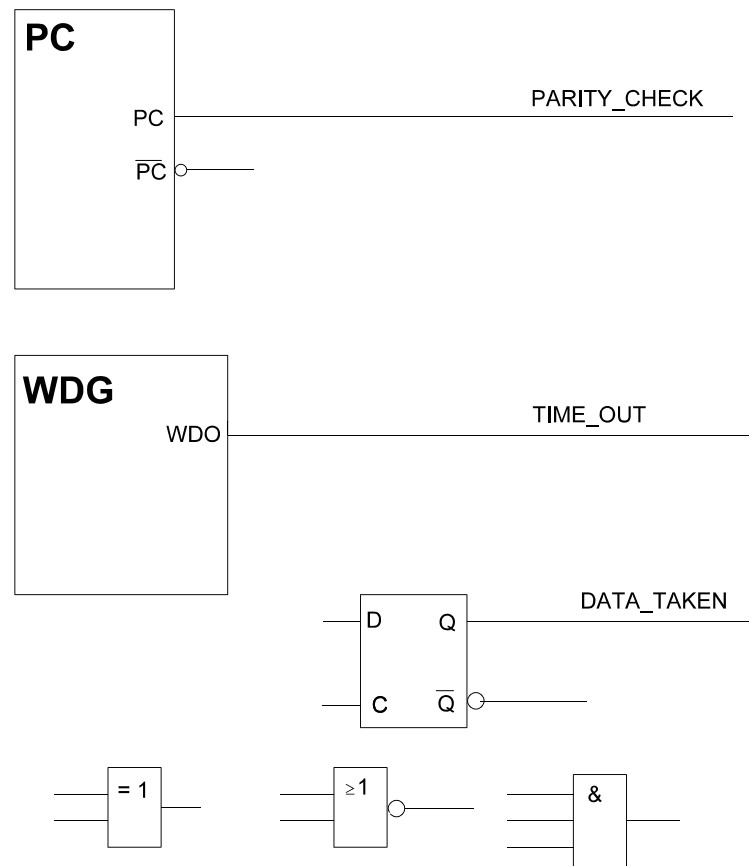


Abb. 14

24. Zwei Binärzahlen A , B sind miteinander zu vergleichen. Hierzu verwenden wir eine Zweierkomplement-ALU und rechnen $A \cdot B$. Die ALU liefert die typischen Bedingungs-signale Ausgangsübertrag (CARRY), Ergebnis = 0 (ZERO), Überlauf (OVERFLOW) sowie das Ergebnisvorzeichen (SIGN). Welche Signale werten Sie aus, um folgende Vergleichsaussagen zu erkennen?
- $A = B$,
 - $A < B$, wenn A und B vorzeichenlose Binärzahlen sind,
 - $A > B$, wenn A und B vorzeichenlose Binärzahlen sind,
 - $A < B$, wenn A und B ganze Binärzahlen sind,
 - $A > B$, wenn A und B ganze Binärzahlen sind.
25. Erläutern Sie kurz das Wirkprinzip einer Carry-Select-Addierers. Skizzieren Sie das Blockschaltbild eines Carry-Select-Addierers mit einer Verarbeitungsbreite von 16 Bits. Die Grundlage: 8-Bit-Addierer gemäß Abb. 15.

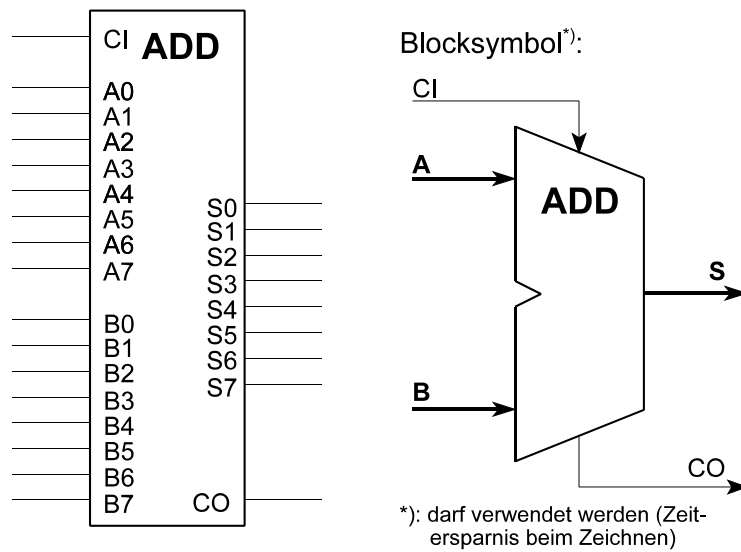
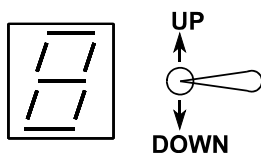


Abb. 15

26. Auf einem Bedienfeld soll eine Zifferneingabe realisiert werden (Bereich 0...9). Anstelle von Drehschaltern o. dergl. ist für jede Ziffernstelle ein Zähler mit nachgeschalteter LED-Anzeige vorgesehen. Die Ausgangsseite (mit Siebensegmentdecoder und Anzeige) ist vorgegeben (Abb. 16). Eingangsseitig soll ein Dreistellungsschalter (Kipp- oder Wippmechanik) verwendet werden. Suchen Sie sich einen passenden Zähler aus dem TTL-Sortiment aus und geben sie dessen Eingangsbeschaltung an (bis hin zum Anschluß des Schalters – und zwar möglichst genau). Sie dürfen das gängige Sortiment an Gattern, Flipflops usw. ausnutzen. Als Hilfestellung: ein Taktsignal mit einer Impulsfolgefrequenz von 100 Hz ist vorhanden (SLOW_CLOCK – prüfen Sie aber, ob es für die hier zu lösende Teilaufgabe ohne weiteres ausreicht, und lassen Sie sich ggf. etwas einfallen...).

a) Frontplattengestaltung



b) die gesuchte Schaltungslösung

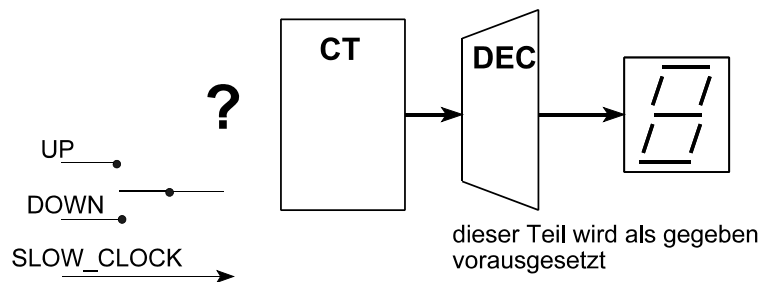


Abb. 16

27. Abb. 17 zeigt ein 16-Bit-Addierwerk. Geben Sie eine ausgangsseitige Zusatzbeschaltung an, die es ermöglicht, das Addierwerk zwischen folgenden Betriebsarten umzuschalten:
- wenn Steuersignal SAT_NAT = 1: 16-Bit-Sättigungsarithmetik beim Rechnen (Addieren oder Subtrahieren) mit natürlichen Binärzahlen,
 - wenn Steuersignal SAT_INT = 1: 16-Bit-Sättigungsarithmetik beim Rechnen (Addieren oder Subtrahieren) mit ganzen Binärzahlen,
 - wenn beide Steuersignale = 0: herkömmliche Zweierkomplementarithmetik.

Rechenschaltungen, Auswahl-schaltungen usw. dürfen mit Blocksymbolen dargestellt werden. Die Bildung funktionsentscheidender Steuersignale ist bis aufs Gatter (UND, ODER, NICHT, XOR) darzustellen.

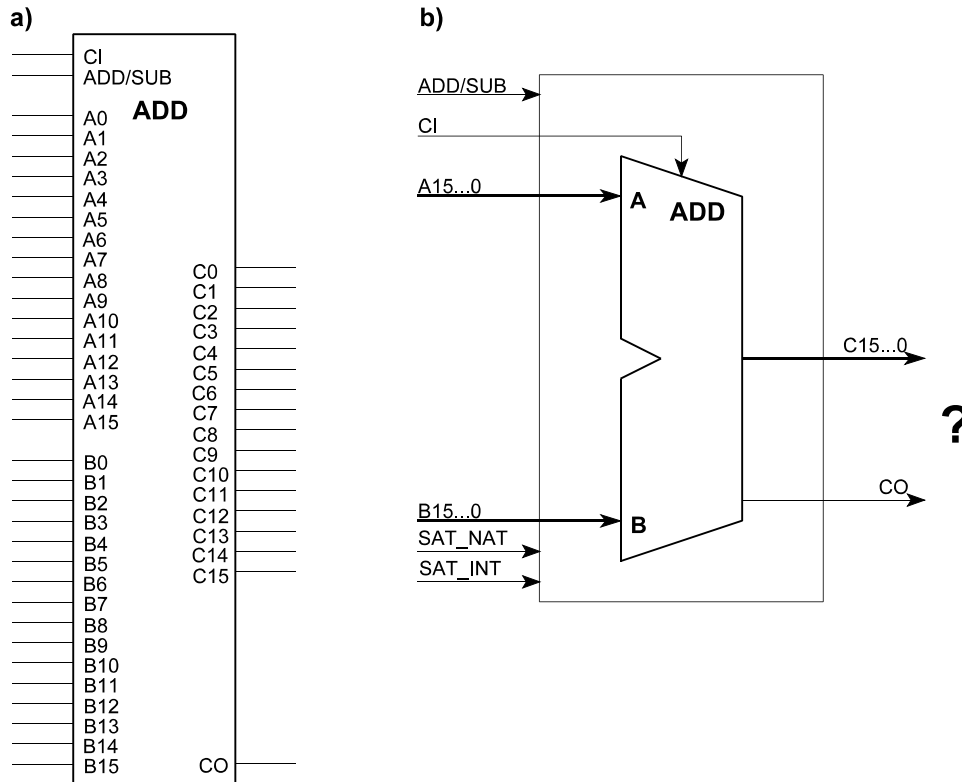


Abb. 17

Erklärung:

a) - Addierwerk; b) - symbolische Darstellung mit allen Steuersignalen. Übersicht über die Steuersignale: ADD/SUB: 0 = Addieren, 1 = Subtrahieren; SAT_NAT: Sättigungsarithmetik über natürliche Binärzahlen; SAT_INT: Sättigungsarithmetik über ganze Binärzahlen. Es ist entweder nur SAT_NAT oder SAT_INT aktiv. Um Komplementbildung, Eingangsübertrag usw. müssen Sie sich nicht kümmern.

28. Skizzieren Sie ein Kontaktnetzwerk (mit Arbeitskontakten), das folgende kombinatorische Verknüpfung verwirklicht: $a \& b \& (c \vee d)$.
29. Nennen Sie wenigstens drei Programmierverfahren für programmierbare Logik.
30. Geben Sie die Gatter-Schaltung eines RS-Master-Slave-Flipflops an, bei der die "verbotene" Belegung $R = S = 1$ zugelassen ist und die gleiche Wirkung hat wie $R = 1, S = 0$ (Rücksetzen).
31. In einer Schaltung wird ein Schaltkreis über ein kombinatorisches Netzwerk zurückgesetzt. Sie messen die dargestellten Signalverläufe (Abb. 18). Ist das in Ordnung? Kennzeichnen und erläutern Sie ggf. gefundene Fehler.

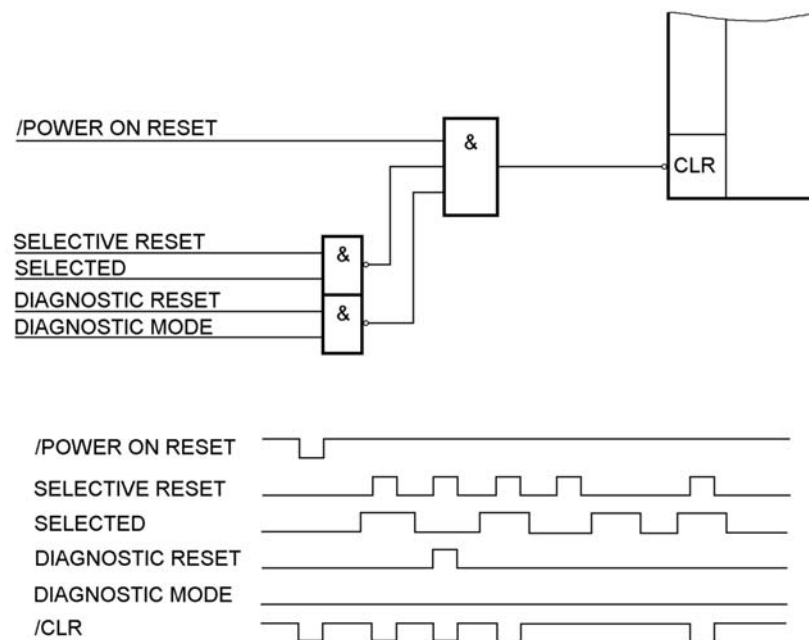


Abb. 18

32. Welche Schaltfunktion realisiert die in Abb. 19 gezeigte Anordnung? (Angabe als Wahrheitstabelle und Schaltgleichung.)

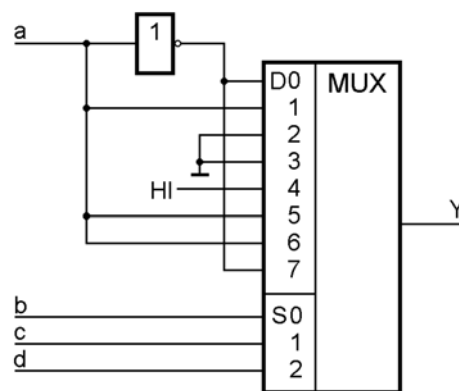


Abb. 19

33. In einer Schaltung werden JK-Flipflops benötigt, es sind aber nur D-Flipflops verfügbar. Geben Sie eine kombinatorische Beschaltung an, die ein D-FF in ein JK-FF umwandelt.