

CPLD-Experimentierplattform 2013

Stand: 21. 10. 2013

Verwendung:

Forschung und Lehre im Bereich der Prozessor- und Steuerungsarchitektur sowie dem gehobenen Niveau der allgemeinen Digitaltechnik.

Statt eines großen FPGA mehrere überschaubare CPLDs, um traditionell entwerfen zu können und um etwas zu sehen (Anschaulichkeit). Es ist im Grunde eine Wiederbelebung des alten modularen Stecksystems. Was aber früher eine Steckkarte mit vielen Digitalschaltkreisen war, ist jetzt ein CPLD.

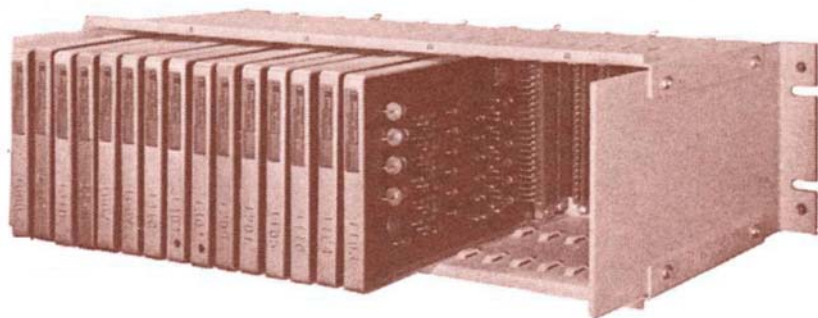
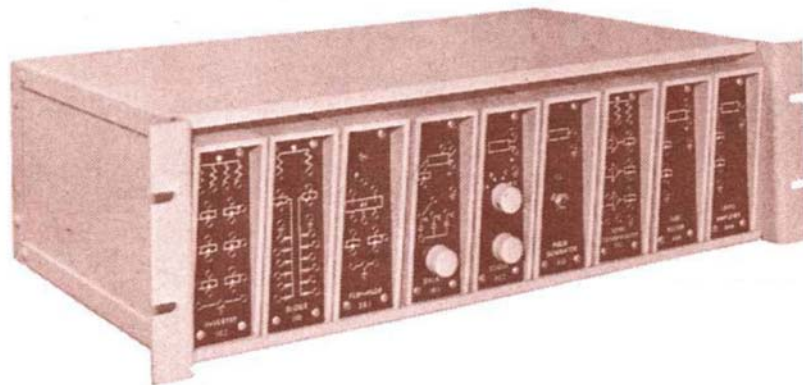
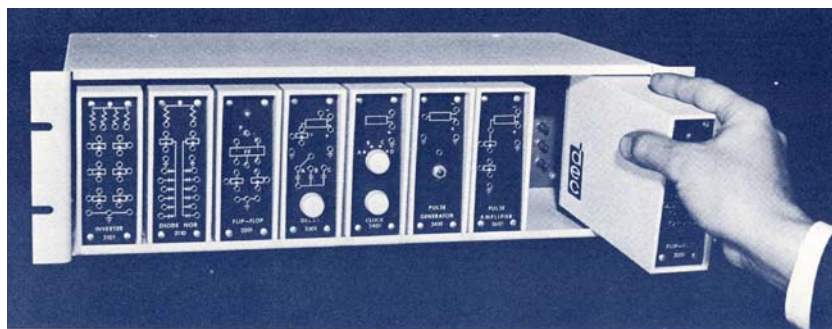


Abb. 1 Aus steckbaren Modulen aufgebaute digitale Systeme (DEC).

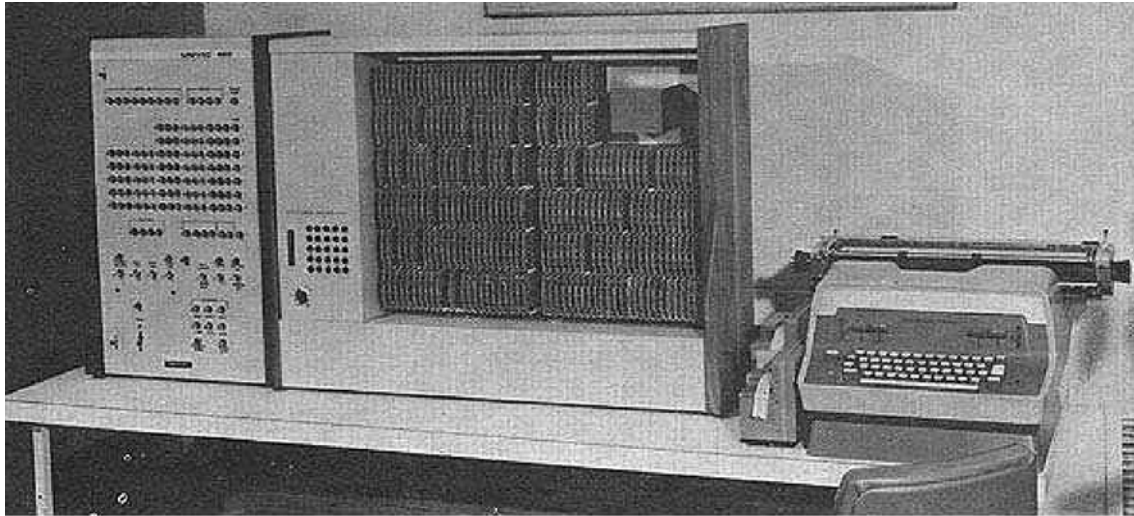


Abb. 2 Der Lehrcomputer Univac 422 (UINVAC Division of Sperry Rand Corp.).

Der Univac 422 hat 15 Bits Wort- und Befehlslänge. Insgesamt sind 1176 Transistoren und 4639 Dioden eingesetzt. Das Rechenwerk enthält 1000 Transistoren und 4000 Dioden. Der Speicher hat eine Kapazität von 512 Worten zu 15 Bits. Der Gesamtaufwand entspricht etwas über 3000 NAND-Gattern mit je zwei Eingängen oder 800 TTL's 7400.

Mit 5 CPLDs Xilinx 95108 müßte man deutlich mehr leisten können. Mit statischen SRAMs ist es kein Problem, Speicherkapazitäten in der Größenordnung von 1 M (Bytes oder Wörtern) bereitzustellen.

Wir verwenden eine weit verbreitete, kostengünstige Technologie.

Kleine Platinen mit Europa-Connector 96pol. 1/2 Europakarte. Kann auch mit kostenlosem Eagle bearbeitet werden. Alle 96 IOs herausgeführt.

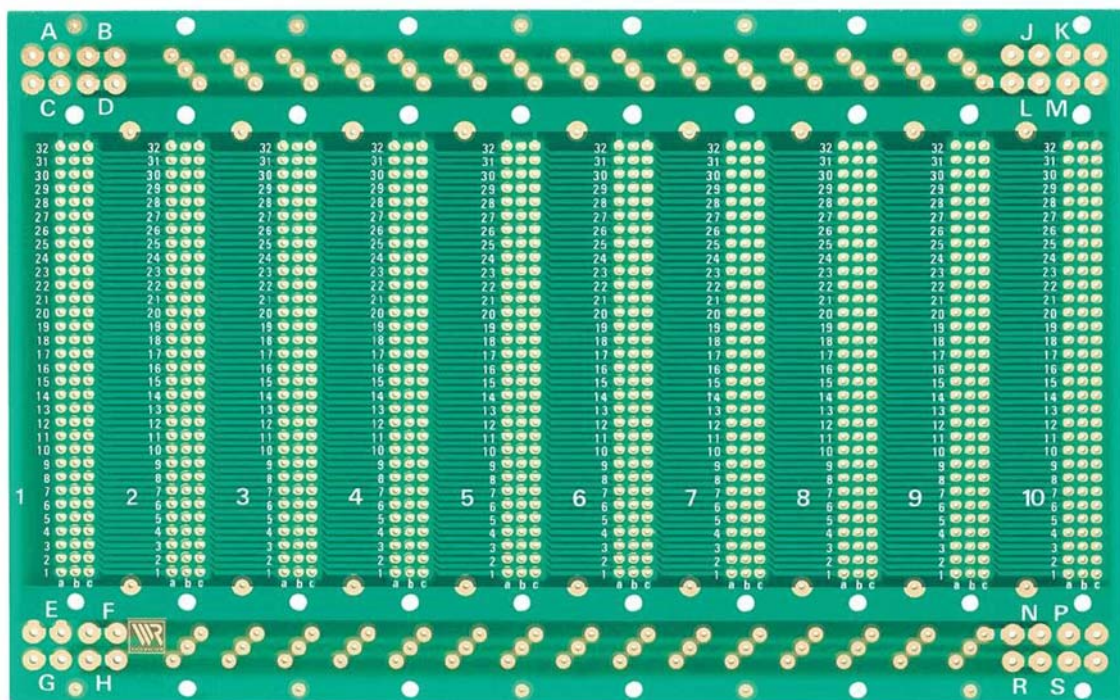
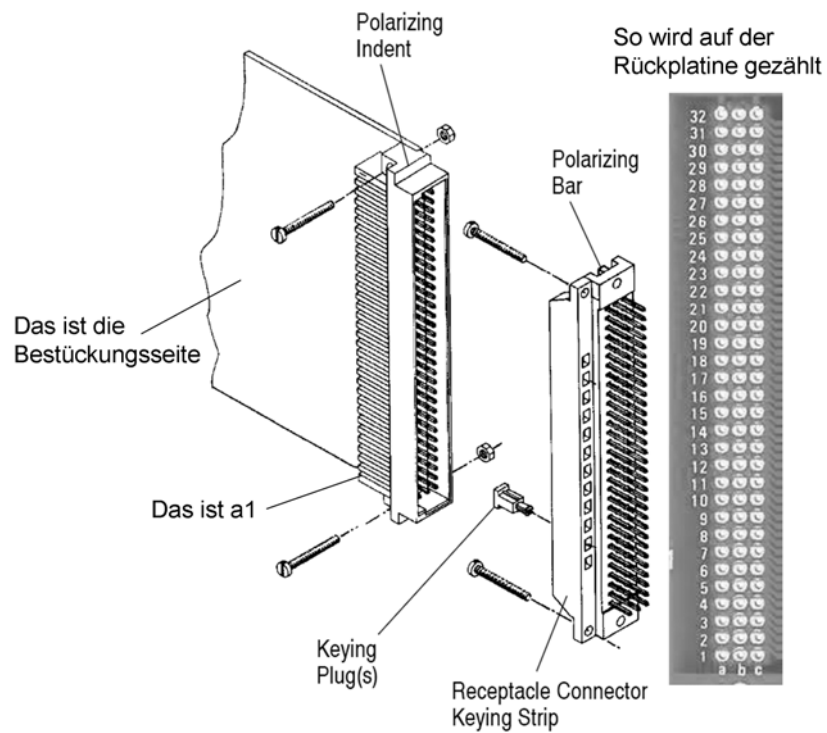
Verdrahung hinten mit Wire Wrap. Mit beliebig vielen CPLDs eine beliebig komplizierte Maschine bauen.

Daisy-Chain-Programmierung über den Bus. Zusätzlich Programmierung hinten (Steckanschlüsse).

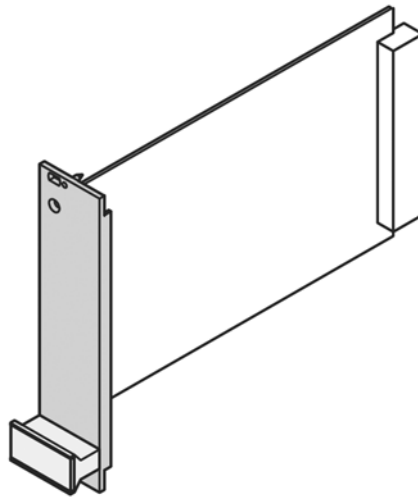
Platine mit RAM 512k oder 1M * 40 Bits.

Die typische Bestückungsweise der Europaplatten:

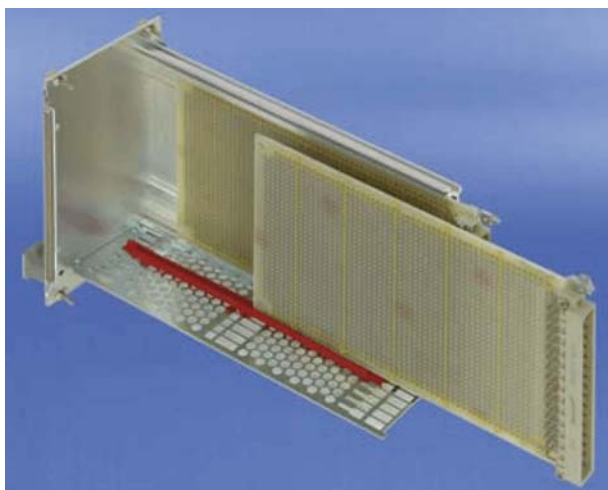
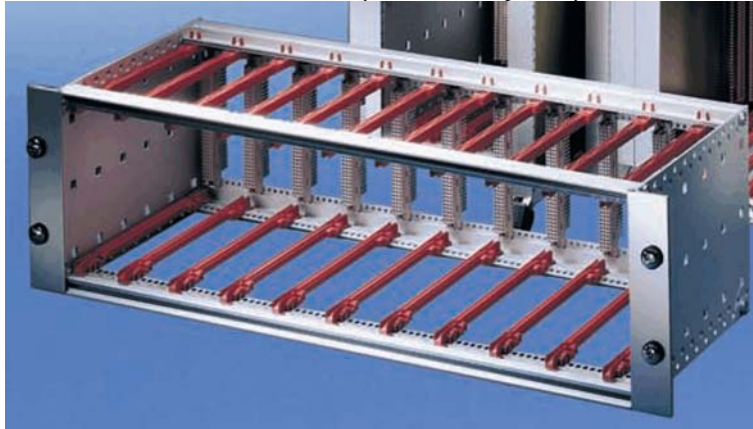
Wenn man von der Einschubseite draufschaut, liegt die Bestückungsseite rechts. Die Kontakte werden dementsprechend von unten gezählt.

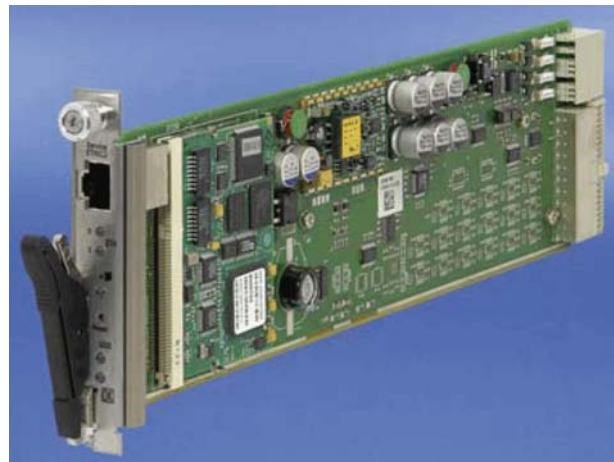


Eine handelsübliche Rückplatine (Rademacher).

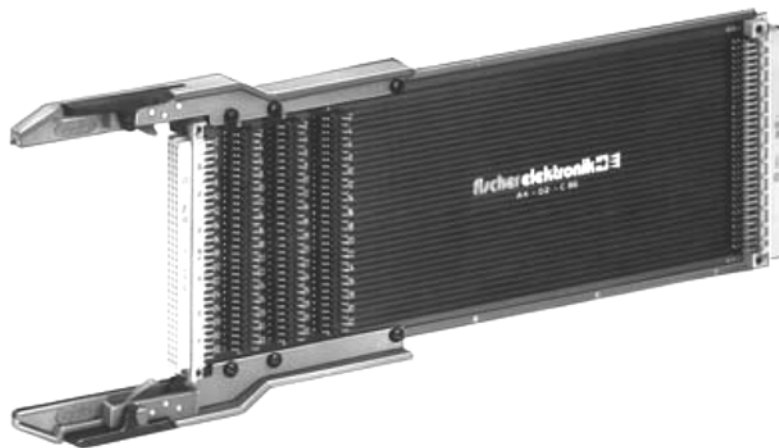


Hier sind die Steckverbinder direkt montiert (ohne Backplane):

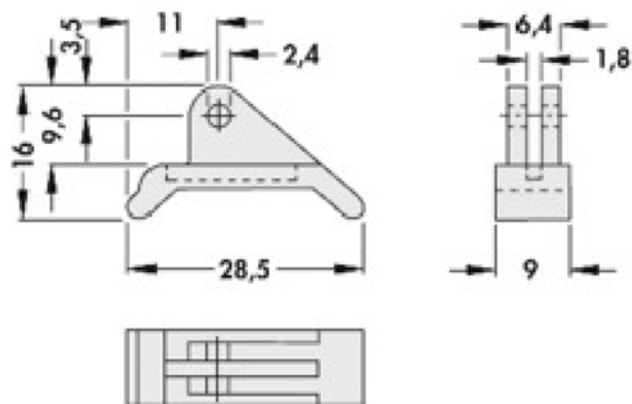




Bildbeispiele zur 19"-Technik (Schroff).



Ein Testadapter (Card Extender; Fischer).



Auswerferhebel (Fischer).

Wir verwenden 96polige Steckverbinder nach DIN 41612. Wegen der vielen Kontakte müssen die Leiterplatten mit Auswerferhebeln versehen werden.

Messerleiste (abgewinkelt) auf den Leiterplatten, Federleisten (gerade, Wire Wrap) im Rahmen.

Kontakte so belegen, daß die (vergleichsweise billige) Rademacher-Platine (WR-Typ 940) ohne allzu viele Umbauten (Auftrennungen usw.) eingesetzt werden kann. Sie hat 60 busmäßige Durchverbindungen, nämlich

a) die Kontaktreihe a (30 Signale)

sowie

b) die Kontaktreihen b und c (die an den Steckplätzen jeweils 1:1 verbunden sind (30 Signale).

Alle obersten und untersten Kontakte (a, b, c 1 sowie a, b, c 32) sind fest an Masse angeschlossen.

Lassen sich mit einem solchen Bus brauchbare Maschinen bauen?

Dann müßten alle Funktionseinheiten auf jeweils eine Platine passen. Das wäre auszuprobieren.

Im allgemeinen Fall muß es möglich sein, die Platinen frei miteinander zu verbinden (Wire Wrap).

Lösungsmöglichkeiten:

1. Rademacher-Platine verwenden und Busverbindungen auftrennen.
2. Steckverbinder im Rahmen festschrauben und alles mit Wire Wrap verdrahten. Problem ist hierbei die fehlende Masseebene (Groundplane).
3. Eine Rückplatine (Backplane) beschaffen oder selbst entwickeln, die eine Masseebene, die Stromversorgungsverbindungen sowie Rücksetzen Takt, allgemeines Tristate und Boundary Scan enthält, alle anderen Anschlüsse aber frei läßt. Notfalls genügt eine Platine mit Masseebene. Alles andere kann gewickelt werden.

Verbindungen zur Außenwelt

Hierzu müßten ggf. spezielle Platinen entwickelt werden (mit Schnittstellenschaltkreisen, A-D-Wandlern, Relais usw.). Vorläufig genügt es, Anschlußmöglichkeiten für vorhandene Ausrüstung vorzusehen. Der private Industriestandard sind die 10poligen Wannenstecker gemäß Atmel STK 500.

Wo anbringen?

Was paßt auf die Rückseite der Platinen? Wieviel Platz lassen die Auswerferhebel?

Das anfängliche Sortiment

1. CPLD-Platine mit Xilinx 95108 PLCC 84.
2. RAM-Platine mit SRAMs 128k...512k * 8.
3. Irgend etwas Einfaches für die Ein- und Ausgabe (Adaptierung).
3. SVP-Platine mit Atmel AVR, SVP = Serviceprozessor. Liefert Takt und Rücksetzen und ermöglicht es, Signalleitungen zu beaufschlagen und abzufragen. Auf diesem Wege wird auch das Anfangsladen der RAMs erledigt.

Implementierung des SVP:

- a) ATMega 640. Hat genügend Anschlüsse, um den gesamten 96poligen Steckverbinder zu unterstützen. Aber Gehäuse TQFP 100. Ggf. handelsübliche Aufsteckplatine.
- b) ATMega 1284 im 40poligen DIP. Kann nur eine Kontaktreihe unterstützen. Bedarfsweise mehrere einsetzen.
- c) Eine ATMega-CPLD-Kombination, wobei die CPLD(s) die Signaladaptierung erledigt/erledigen.

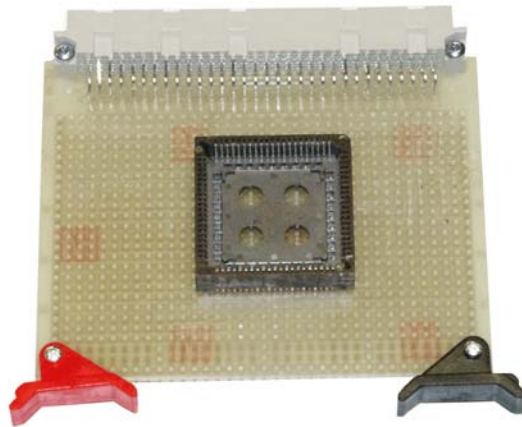
Lösung a) hat eigentlich nur dann Sinn, wenn es hinten ein Bus ist. Ist es eine wahlfreie Verdrahtung, muß man ohnehin die zu beaufschlagenden (Scan-In, Emit) und abzufragenden (Scan-Out, Sense) Signale auswählen. Ggf. sind die Anwendungsschaltungen in den CPLDs mit Erreichbarkeitsvorkehrungen (Scan, Serializer) zu versehen. Radikallösung 1: Neben jede CPLD-Platine kann eine SVP-Platine gesteckt werden. Radikallösung 2: auf jede CPLD-Platine kommt ein kleiner Atmel, z. B. ATMega 48. Je nach Bedarf wird er bestückt oder nicht bestückt. In Verbindung mit dem CPLD wird er als SVP genutzt. Er führt nur einfache Aufgaben aus (Scan-In, Scan-Out).

Der ATMega48 hat 20 nutzbare Anschlüsse. Davon 2 für die Schnittstelle, einer für eine Kontroll-LED. 12 Daten- und 2 Steuerleitungen = 14 Signale zum CPLD (womöglich nur 2 Steuerleitungen, dann reichen 12). Diese Lösung verbraucht aber viele Zellen im CPLD.

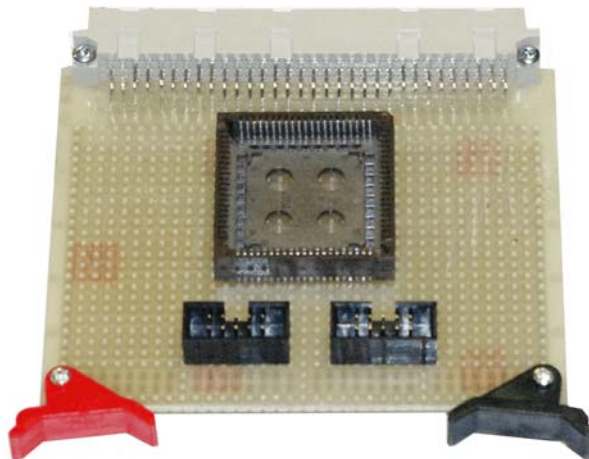
Alle SVPs werden an ein Bedien- oder Kommandogerät angeschlossen. Serielle Schnittstelle, 2 Signale. Sternförmig von hinten oder 2 Busleitungen in Rückverdrahtung.

Wir sehen zu, ob zwei Atmegas auf eine Platine passen. So viele Anschlüsse nach vorn wie möglich. Sonst nur ein Atmega, der dann maximal 30 Signale unterstützen kann. Serielle Verbindung Daisy Chain oder Zweidraht-Bus, ggf. gepuffert.

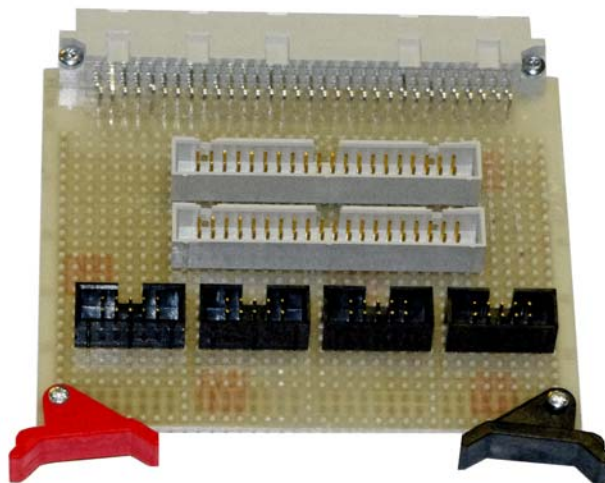
CPLD-Programmierung zunächst über angesteckten Programmer. Programmierplatine kann später kommen (Parallelport, dann über AVR).



CPLD-Platine mit Fassung PLCC84. Hinen muß noch der Programmiersteckverbinder drauf (und der Jumper für TDI).



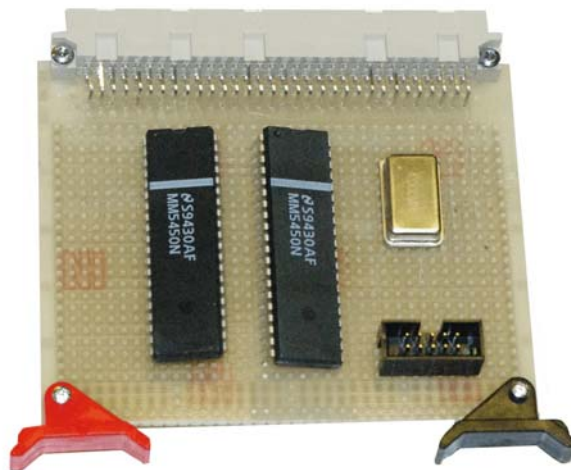
CPLD-Platine mit zwei Portanschlüssen (16 Bits). Es dürfte aber knapp zugehen.



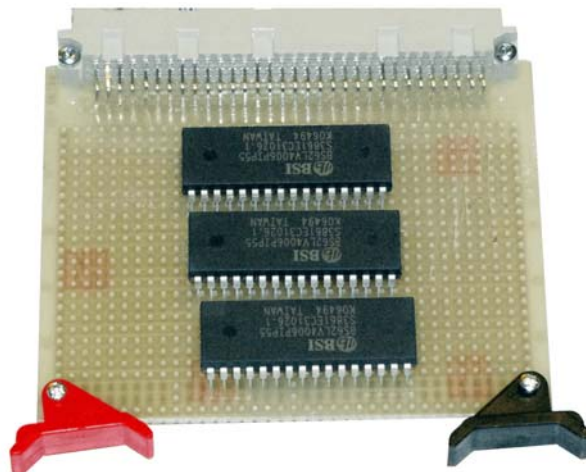
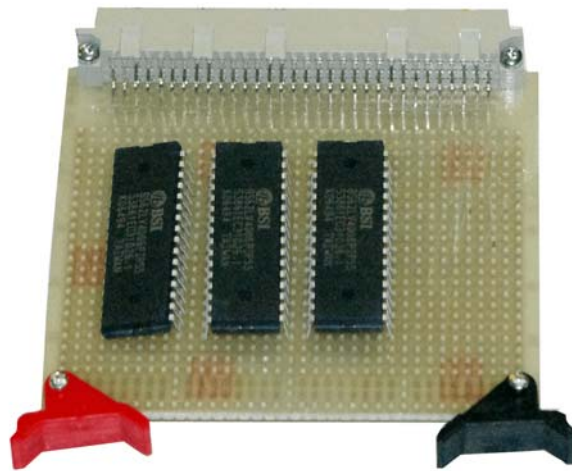
Was auf eine solche Platine an E-A-Anschlüssen paßt. 64 Bits = 8 Ports zu 8 Bits kommen über den vorderen Steckverbinder.



Es finden auch 50polige Steckverbinder Platz.



SVP-Platine. Zwei Atmels, ein Quarz und Steckverbinder (seriell und Programmierung) passen drauf.



RAMs. In der Anordnung oben würde auch noch ein vierter draufpassen.

Das Bestücken eines Steckverbinders ist Strafarbeit, auch wenn es nur 64 Kontakte sind. 96 Kontakte nur dann bestücken, wenn notwendig. Alles, was wichtig ist, in die Reihen A und C. B (in der Mitte) ist nur Ergänzung.

Also das, was aller Voraussicht nach ein Bus sein kann, in die Kontaktreihe a.

20 Bits Datenbus (um auch Adressen übertragen zu können) sowie 2mal CPLD-Programmierung (JTAG TCK, TMS). Gemeinsamer Takt, gemeinsames Rücksetzen und gemeinsames Tristate (um z. B. Speicher vom Mikrocontroller aus laden zu können). D.h. in Reihe A $30 - 5 = 25$ als Busleitungen nutzbare Signale.

TRISTATE nach Reihe C. Muß auftrennbar sein (weil nur bestimmte Platinentypen betroffen sind).

Daisy Chain TDO – TDI in Reihe C

JTAG-Anschluß auch hinten, um die Karten einzeln programmieren zu können.

Stromversorgung in die Reihen B und C

Es muß möglich sein, mit A und C (also mit den beiden äußeren Reihen) allein auszukommen, um Karten mit 64poligen Steckverbindern einsetzen zu können.

A: 2 Programmierung (TCK, TMS) + 2 gemeinsame (Takt, Rücksetzen). Bleiben 26.

C: 2 Programmierung (TDI, TDO) + gemeinsames Tristate + 7 STV (3 GND, 4 VCC). Bleiben 20.

B: 7 STV (3 GND, 4 VCC). 20 Signalkontakte. 3 Reserve.

95108 hat 69 Signalanschlüsse. Davon gehen ab Takt, Reset und Tristate. Also bleiben 66 universell nutzbare Kontakte.

26 auf Reihe A

20 + 3 Reserve auf Reihe B

20 auf Reihe C

Damit wäre ein 16...20-Bit-Schiebeweg ähnlich HyperTransport möglich.

Wenn nur zwei Reihen (A und C; 64polig), sind 46 Kontakte frei nutzbar.

Insgesamt sind es 66, mit Reserve 69 Signale, an denen ein Serviceprozessor (Atmel) angreifen könnte. (+ Reset usw.)

Die Mechanik muß auch gewöhnliche Europakarten (160 mm) aufnehmen können (für Restlogik, Analogtechnik usw.). Abstände weit genug (Wire Wrap).

Die RAM-Platine

Wieviele RAMs passen drauf?

66 Signale. 46 mit Reihen A, C.

512k brauchen 19 Adresse + 3 Steuerung = 22.

2 RAMs = $22+16=38$

3 RAMs = $22+24=46$

4 RAMs = $22+32=54$

Probieren, wieviele draufpassen. Man kann immer noch selektiv bestücken.

Byteselektive Schreibzugriffe? Probieren. Ggf. Jumper.

Wenn die Kontaktreihe A ein Systembus sein soll, dürfen die RAM-Adressen nicht an diese Signale angeschlossen werden. Die Adressen müssen an die Kontaktreihe C, damit dem SRAM ein Adreßhalteregister (Adreß-Latch) vorgeschaltet werden kann. Also die Daten an Kontaktreihe A.

Womöglich besser: nur 2 SRAMs. Es wird sowieso eng. Byteselektives Schreiben.

11. 11. 2913

Die SVP-Platine

Sie muß den SRAM unterstützen können (Laden, Auslesen). Die SRAM-Platine hat $19 + 24 + 5 = 48$ Signale. Prinzip wie CPLD-Lehregrät 12. Hauptprozessor + Hilfsprozessor. Daten und Schreibsteuerung (WE#) hängen am Hauptprozessor (27 Signale), Adresse und Zugriffssteuerung am Hilfsprozessor (20 Signale). Das ist aber nur eine Worst-Case-Annahme. Die SVP-Zugangswege zu den RAMs müssen in die jeweilige funktionelle Logik organisch eingebaut sein (Scanprinzip o. dergl.).

Jeder Prozessor unterstützt 28 Signale. Insgesamt also 56. Der Hilfsprozessor hängt an der zweiten seriellen Schnittstelle des Hauptprozessors. Er steuert zudem eine Zweifarben-LED an. unterstützen

Schnittstellenkonfiguration des Hauptprozessors:

1. Einspeisung von hinten (Prüf- und Inbetriebnahmevorkehrung)
2. Über Backplane. Dort Daisy Chain oder Bus oder Anschluß an Verteiler (z. B. in CPLD). Umschaltung Schiebeschalter oder Jumper (nur 2pol. Trennung).

Nr.	A	B	C
32	GND	GND	GND
31	A0	GND	GND
30	A1	GND	GND
29	A2	VCC	VCC
28	A3	VCC	VCC
27	A4	F0	D0
26	A5	F1	D1
25	A6	F2	D2
24	A7	F3	D3
23	B0	F4	D4
22	B1	F5	D5
21	B2	F6	D6
20	B3	F7	D7
19	B4	G0	E0
18	B5	G1	E1
17	B5	G2	E2
16	B7	G3	E3
15	C0	G4	E4
14	C1	G5	E5
13	C2	G6	E6
12	C3	G7	E7
11	C4	H3	H0
10	C5	H4	H1
9	C6	H5	H2

Nr.	A	B	C
8	C7	H6	H7 = GTS2
7	I0 = GCK3	res.	I2 = GTS1= COMMON_TRISTATE
6	I1 = GCK2	res.	TDI
5	I3 = GCK1 = COMMON_CLOCK	res.	TDO
4	I4 = GSR = COMMON_RESET	VCC	VCC
3	TMS	VCC	VCC
2	TCK	GND	GND
1	GND	GND	GND

Zuordnung der Ports zu den CPLD-Pins:

Bit	Port A	Port B	Port C	Port D	Port E	Port F	Port G	Port H	Port I
0	1	2	3	4	5	6	7	11	12 (GCK3)
1	71	72	75	79	80	81	82	83	10 (GCK2)
2	14	15	17	18	19	20	21	23	76 (GTS1)
3	57	58	61	62	63	65	66	67	9 (GCK1)
4	32	33	34	35	36	37	39	40	74 (GSR)
5	45	46	47	48	50	51	52	53	
6	13	24	25	26	41	43	44	31	
7	84	68	69	70	54	55	56	77 (GTS2)	

Portübersicht

Aufbau der folgenden Tabellen:

1. Bitindex im Port.
2. Kontakt des CPLD.
3. Kontakt des 96poligen Steckverbinders.

Port A:

7	6	5	4	3	2	1	0
84	13	45	32	57	14	71	1

--	--	--	--	--	--	--	--

Port B:

7	6	5	4	3	2	1	0
68	24	46	33	58	15	72	2

Port C:

7	6	5	4	3	2	1	0
69	25	47	34	61	17	75	3

Port D:

7	6	5	4	3	2	1	0
70	26	48	35	62	18	79	4

Port E:

7	6	5	4	3	2	1	0
54	41	50	36	63	19	80	5

Port F:

7	6	5	4	3	2	1	0
55	43	51	37	65	20	81	6

Port G:

7	6	5	4	3	2	1	0
56	44	52	39	66	21	82	7

Port H:

7	6	5	4	3	2	1	0
77 = GTS2	31	53	40	67	23	83	11

Port I:

7	6	5	4	3	2	1	0
–	–	–	74	9	76	10	12
–	–	–	GSR	GCK1	GTS1	GCK2	GCK3

Function Block	Macrocell	PC84	Port	Notes	Function Block	Macrocell	PC84	Port	Function Block	Macrocell	PC84	Port
1	1	–			3	1	–		5	1	–	
1	2	1	A0		3	2	14	A2	5	2	32	A4
1	3	2	B0		3	3	15	B2	5	3	33	B4
1	4	–			3	4	–		5	4	–	
1	5	3	C0		3	5	17	C2	5	5	34	C4
1	6	4	D0		3	6	18	D2	5	6	35	D4
1	7	–			3	7	–		5	7	–	
1	8	5	E0		3	8	19	E2	5	8	36	E4
1	9	6	F0		3	9	20	F2	5	9	37	F4
1	10	–			3	10	–		5	10	–	
1	11	7	G0		3	11	21	G2	5	11	39	G4
1	12	9	T1	[1]	3	12	23	H2	5	12	40	H4
1	13	–			3	13	–		5	13	–	
1	14	10	T2	[1]	3	14	24	S2	5	14	41	F6
1	15	11	H0		3	15	25	A6	5	15	43	A7
1	16	12	T3	[1]	3	16	26	B6	5	16	–	
1	17	13	S0		3	17	31	C6	5	17	44	B7
1	18	–			3	18	–		5	18	–	
2	1	–			4	1	–		6	1	–	
2	2	71	A1		4	2	57	A3	6	2	45	A5
2	3	72	B1		4	3	58	B3	6	3	46	B5
2	4	–			4	4	–		6	4	–	
2	5	74	T0	[1]	4	5	61	C3	6	5	47	C5
2	6	75	C1		4	6	62	D3	6	6	48	D5
2	7	–			4	7	–		6	7	–	
2	8	76	T4	[1]	4	8	63	E3	6	8	50	E5
2	9	77	T5	[1]	4	9	65	F3	6	9	51	F5
2	10	–			4	10	–		6	10	–	
2	11	79	D1		4	11	66	G3	6	11	52	H5
2	12	80	E1		4	12	67	H3	6	12	53	C7
2	13	–			4	13	–		6	13	–	
2	14	81	F1		4	14	68	S3	6	14	54	D7
2	15	82	G1		4	15	69	D6	6	15	55	E7
2	16	83	H1		4	16	–		6	16	–	
2	17	84	S1		4	17	70	E6	6	17	56	F7
2	18	–			4	18	–		6	18	–	

Pin Type	PC84
I/O/GCK1	9
I/O/GCK2	10
I/O/GCK3	12
I/O/GTS1	76
I/O/GTS2	77
I/O/GSR	74
TCK	30
TDI	28
TDO	59
TMS	29
V _{CCINT} 5 V	38,73,78
V _{CCIO} 3.3 V/5 V	22,64
GND	8,16,27,42,49,60

