

1. Überblick

Das System .009 umfaßt programmierbare binäre Steuerungseinrichtungen für den industriellen Einsatz.

Charakteristisch ist, daß die BOOLEschen Gleichungen, die den konkreten Steueralgorithmus beschreiben, in Form von Ternärvektorlisten (TVL) repräsentiert werden. Deren Speicherung und Auswertung wird mit spezifischer Hardware unterstützt.

Die Ausführung 009.A ist für die Einordnung in 8- Bit-Mikrorechnersysteme (namentlich K 1520) vorgesehen.

Die spezifischen Hardware- Komponenten sind modular auf Leiterplatten im Format des betreffenden Mikrorechnersystems untergebracht und werden über ein erweitertes Bussystem untereinander verbunden.

Die einzelnen Komponenten sind:

o MASTER CONTROL CARD (MCC)

Diese enthält:

- 1 CPU (U880)
- 1 CTC
- 1 PIO
- 2 kBytes EPROM
- 2 kBytes RAM
- spezifische Steuermittel für die Auswertung von TVL.

Die Adressierung der lokalen Schaltmittel entspricht der bei üblichen K 1520- ZVE- Platinen. CTC und PIO sind über einen rückseitigen Steckverbinder frei zugänglich (über die PIO ist z. B. eine Kopplung mit anderen K 1520- Systemen möglich). Die Platine betreibt das übliche Bussystem, das um 8 Adressen- und 6 Steuerleitungen erweitert ist (2. Steckverbinder).

Damit ist ein Betrieb vorhandener K 1520- Leiterplatten (namentlich E-A- Anschlußsteuerungen) gewährleistet.

o BIT ACCESS MEMORY CARD (BMC)

Diese enthält 8 kBytes RAM, zu dem sowohl übliche Zugriffe (Lesen und Schreiben von Bytes) als auch solche zu einzelnen Bits möglich sind.

Derartige Platinen sind im wesentlichen zur Speicherung von binären Variablen (Eingangsgrößen, Ausgangsgrößen, Zustände) vorgesehen.

o MULTIFUNCTION MEMORY CARD (MMC)

Diese Platinen können bis zu 128 kBytes Speicherkapazität ausgelegt werden (1. Ausführung: 24 k ROM, 8k RAM). Sie sind für folgende Aufgaben einsetzbar:

- normale Speicher für beliebige Information
- Speicher für Variablenlisten (VL)
- Speicher für Ternärvariablenlisten (TVL).

Die jeweilige Betriebsart ist programmtechnisch einstellbar.

Jede Platine enthält einen 16- Bit- Adressenzähler mit vorgeschaltetem Halteregeister sowie Schaltmittel für das Vergleichen von TVL mit gegebenen Variablenbelegungen.

Die minimale 009.A- Konfiguration umfaßt:

- 1 MCC
- 1 BMC
- 2 MMC

Durch Hinzufügen weiterer MMC kann die Verarbeitungsgeschwindigkeit entsprechend erhöht werden (lineare Erhöhung, soweit es die Berechnung BOOLEscher Gleichungen angeht).

Alle Speicherplatinen können als Programm- bzw. Arbeitsspeicher eingesetzt werden.

2. Prinzipielle Arbeitsweise

Eine 009.A- Konfiguration kann zunächst als normaler Mikrorechner arbeiten (z. B. zur Initialisierung, Beschaffung der Eingangsvariablen, Bereitstellung der Ausgangsvariablen usw.).

Soll der Wert einer BOOLEschen Gleichung für eine konkrete (in einer BMC bereitgestellte) Variablenbelegung ermittelt werden, so löst die CPU programmtechnisch eine Sonderbetriebsart aus, in der die TVL zeilenweise seriell mit der aktuellen Variablenbelegung verglichen wird (COMPARE MODE). Mit jeder als TVL- Speicher konfigurierten MMC können bis zu 8 Zeilen gleichzeitig durchmustert werden. Im einzelnen haben die Hardware- Komponenten folgende Aufgaben:

- In der als Variablenlistenspeicher konfigurierten MMC wird die betreffende Variablenliste (die Adressen- Zeiger zuzue den einzelnen Variablen enthält) zyklisch vom eingebauten Adressenzähler adressiert. In jedem Zyklus wird ein 16- Bit- Adressenzeiger aus dem Speicher gelesen und auf den Adressenbus gegeben (die MCC hat den Adressen- und den Datenbus freigegeben).
- Die als Variablenspeicher konfigurierte BMC empfängt die Variablenadressen, liest die einzelnen Variablenwerte aus dem RAM und legt diese auf den Datenbus.
- In den als TVL- Speicher konfigurierten MMC wird jeweils eine Variablenposition vom internen Adressenzähler adressiert. Die betreffende Variable wird in jeweils 8 Zeilen- Positionen mit der über den Datenbus gelieferten Variablenbelegung verglichen. Die Vergleichsresultate werden in Flipflops gehalten. Bei erfüllter Vergleichsbedingung wird eine MATCH- Leitung der Bus- Erweiterung aktiviert ("wired or"- Beschaltung).
- Die MCC zählt die Variablenpositionen in der Zeile sowie die Anzahl der durchmusterten Zeilen, steuert die

Speicherzyklen und die Adressenzählung auf den MMC, wertet das Vergleichsresultat aus und beendet den Ablauf (nach kompletter Durchmusterung bzw. nach der ersten erfüllten Suchbedingung).

3. Bussystem

Das Bussystem entspricht dem des K 1520, ist jedoch um 8 Adressen- und 6 Steuerleitungen erweitert.

Für alle CPU- Zugriffe zum Speicheradresssraum wird eine 24- Bit- Adresse erzeugt. Die höchstwertigen vier Bit dienen zur Platinen- Auswahl. Mit den verbleibenden 20 Bit kann auf jeder der Platinen theoretisch jedes Bit aus 128 k Bytes adressiert werden.

Die zusätzlichen Steuerleitungen umfassen:

- 4 Betriebsartenleitungen (MODE)
- 1 Strobe- Leitung (STE)
- 1 Vergleichsresultatleitung (MATCH).

Außerhalb des Vergleichsmodus kennzeichnen die MODE- Leitungen den aktuellen Zugriff (Byte- Zugriff, Bit- Zugriff). Im Vergleichsmodus führen diese Leitungen Steuersignale für den Vergleichsablauf.

Bei normalen Speicherzugriffen werden die zusätzlichen Steuerleitungen simultan zu den an sich gegebenen Bus- leitungen erregt (die 009.A- Speicherplatinen werten sowohl die normalen Zugriffssteuersignale (z. B. MREQ, RD usw.) als auch die zusätzlichen Steuerleitungen aus. Wird der Bus anderweitig angesteuert (über BUSRQ einer anderen Einrichtung zugesprochen), so erzeugt die MCC die zusätzlichen Steuersignale aus den vom Bus empfangenen.

Auf der STB- Leitung wird bei jedem Zugriff ein Impuls abgegeben, der von den Speicherplatinen je nach Modus als Schreib-, Vergleichssteuerungs-, Lade- oder Zähl-impuls interpretiert wird. STB wird erst nach dem Abfall von WAIT erzeugt.

Bei E- A- Zugriffen werden die MODE- Leitungen mit FH belegt (DO NOTHING- Interpretation). Vorhandene E-A- Anschlußsteuerungen sind somit innerhalb des Systems 009.A betreibbar. Für die Berücksichtigung vorhandener Speicher-Leiterplatten besteht kein zwingender Grund, da durch die systemspezifischen Speicherplatinen (BMC, MMC) stets eine ausreichende Speicherausstattung gewährleistet werden kann (theoretisch können bis zu 2 MBytes adressiert werden). Eine Konfiguration aus einer BMC und 9 MMC der ersten Version hat folgende Speicherkapazität:

- 80 kBytes RAM (davon 8 k bitweise adressierbar)
- 216 kBytes EPROM.

4. CPU- Zugriffe

E-A- Zugriffe unterscheiden sich nicht von denen des K 1520. Bei Speicherzugriffen wird die 16- Bit- Adresse der CPU in eine 24- Bit- Adresse umgesetzt. Dazu werden die höchstwertigen vier Bit der CPU- Adresse als Segmentnummer interpretiert. Somit gibt es 16 Segmente (0- FH) zu je 4 k (Bytes bzw. Bits, je nach Art des Zugriffs). Segment 0 ist das ROOT- Segment. Die damit adressierten 4 k Bytes sind die der Speicherausstattung der MCC selbst (2 k ROM, 2 k RAM). Die 30 höchstwertigen RAM- Positionen enthalten die Segmentregister für die verbleibenden 15 Segmente. Je Segment ist ein Wort zu 3 Bytes gespeichert, das die Adressenerweiterung (12 Bit, um die niederen 12 Bit der CPU- Adresse zur 24- Bit- Adresse zu ergänzen) und eine Zugriffskennzeichnung (4 MODE- Bits) enthält.