

ADVANCED
SINGLE BOARD
COMPUTER
(SBC/644)
HARDWARE MANUAL

- Stand 3.4.86 -

Inhalt

Überblick	1
Zugriffsorganisation	2
Betriebsarten des RAM	14
Datenpfad	21
Adressenpfad	25
RAM-Array	29
Interne Ablaufsteuerung	32
Interne Zugriffssteuerung	38
ECC- und Vergleichsstop-Auswertung	43
CPU-Auforderungssteuerung	45
Slave-Auforderungssteuerung	53
Refresh-Auforderungssteuerung	58
Steuerung der Master-Zugriffe	60
Taktzeugung	66
Rücksetzen	67
Buskopplung	68
Diagnostische Vorkehrungen	69
PROM-Schaltgleichungen	71
Stechverbinder (Übersichten)	76

Überblick

Der ADVANCED SINGLE BOARD COMPUTER (SBC/64k) ist ein Mikrocomputer mit 6880-CPU und folgenden Leistungsmerkmalen:

- 64 Kbytes EPROM
- 64 Kbytes RAM mit Fehlerkorrektur (ECC zur Korrektur von 1-Bit-Fehlern), alternativ dazu ist ein Vergleichstest-Modus einstellbar
- Peripherie Ausstattung: 1x CTC, 1x SIO
- 3x PIO (insgesamt 40 PIO-Anschlüsse sind extern verfügbar)
- Anschlussmöglichkeit für Diagnoseadapter
- 4 MHz - CPU und Peripherie - Schaltkreise; betrieben mit einem Taktyklus von 288 ns
- beschleunigte lokale RAM-Zugriffe ohne WAIT-Zustände; diese Betriebsart ist programmseitig ein- und ausschaltbar

- Betriebsfähigkeit von Systembus als Master bzw. Slave
- bei Slave-Zugriffen sind alle 64k Bytes des RAM zugänglich
- beschleunigter Leselauf bei lokalen bzw. Slave-Zugriffen
- die ECC-Bits des RAM sind separat zugänglich (lesen / schreiben).

Begriffsorganisation

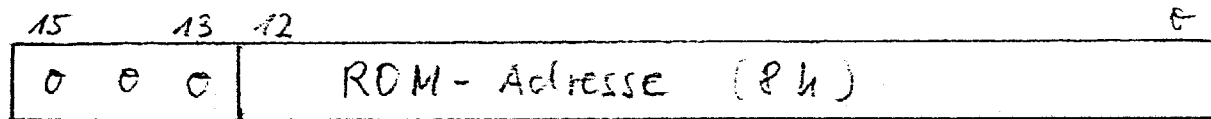
1. Begriffe seitens der CPU

Von der CPU aus sind sowohl Speicher- als auch I/O-Begriffe möglich.

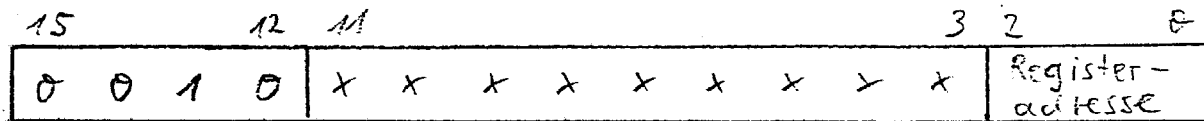
Die Interpretation der CPU-Adresse für Speicherzugriffe zeigt Bild 1.

ROM-Zugriffe laufen ohne Vermittlung ab; alle anderen unterliegen der Vermittlung zusammen mit Register- und Slave-Zugriffen.

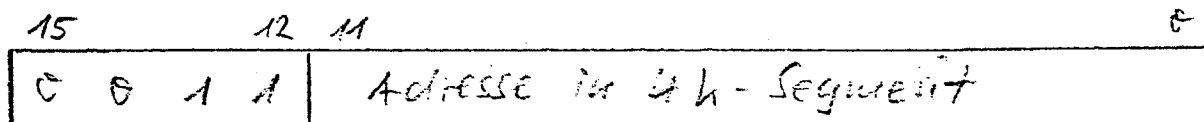
RAM-Zugriffe sind wie folgt organisiert: Direkte Zugriffe sind stets zu den "oberen" 32 k Bytes möglich (Adressbereich 0000H ... FFFFH). Die "unteren" 32 k Bytes (0 ... 7FFFH) sind in 8 Segmente zu 4 k Bytes aufgeteilt. Es kann jeweils in einem dieser Segmente zugegriffen werden (3-Bit-Segment-Adresse im CONTROL-Register, Byteadresse im Bereich 3000H ... 3FFFH).



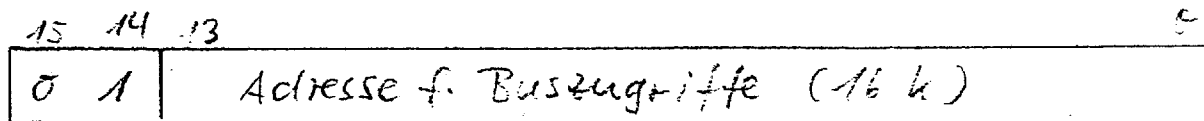
a.) ROM-Zugriffe



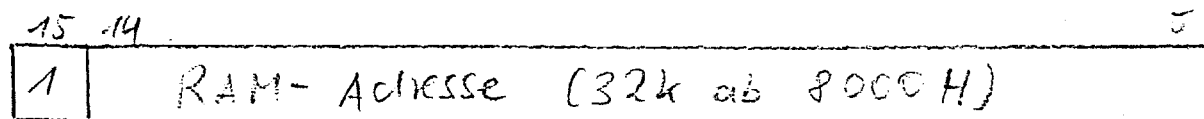
b.) Register-Zugriffe



c.) segmentierte RAM-Zugriffe (unter 32k)



d.) Buszugriffe



e.) direkte RAM-Zugriffe (oben 32k)

Interpretation der CPU-Adresse

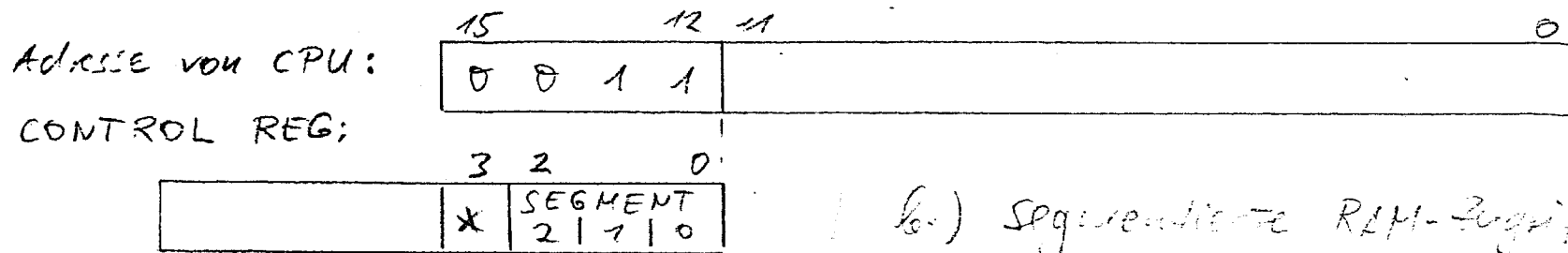
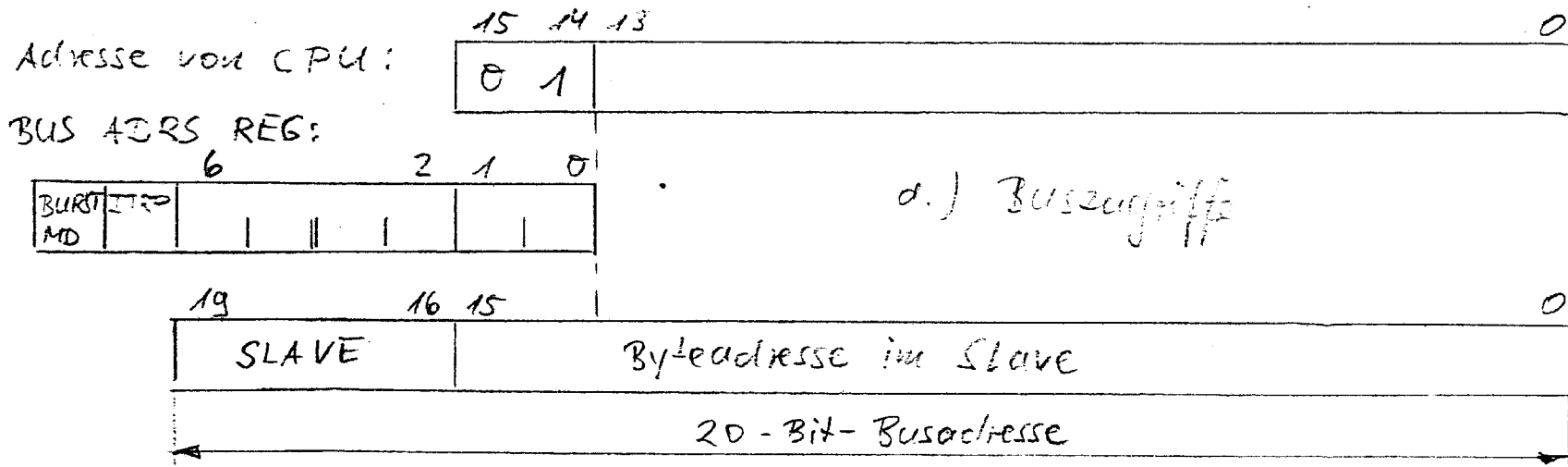
Bild 1

Bei Master-Zugriffen wird die 20-Bit-Physikalische Adresse aus den unteren 6 Bitpositionen des BUS ADDRESS-Registers und einer CPU-Adresse im Bereich von 4000H ... 7FFFH gebildet (Zugriff zu jeweils einem Segment von 16 k Bytes).
 Bild 2 zeigt die Adressbildung bei synchronisierten RAM-basierten Master-Zugriffen.

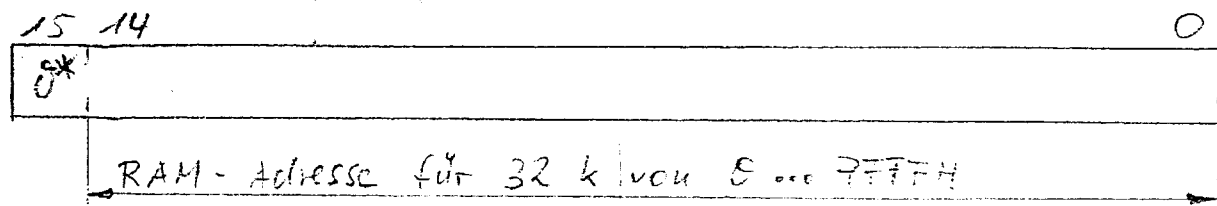
Alternativ zu dieser Zugrifforganisation kann ein spezieller Modus (UNSEGMENTED MODE) durch Setzen eines Bits im CONTROL-Register eingeschaltet werden. In diesem Modus adressiert die CPU ausschließlich die 64 k Bytes des RAM (Adressen 0 ... FFFFH), Master-Zugriffe, Zugriffe zu Registern, zum ROM usw. sind nicht möglich.

Bei Register-Zugriffen im Adressbereich 2000H ... 2FFFH bewirken die drei niedrigstwertigen Adressenbits die Register-Auswahl. Ist Bit 2 = 0,

Adressenbildung bei Bus- und segmentierten RAM-Zugriffen



*: Bit 3 CONTROL REG
 ⇒ MSB 15 bei
 ECC-Zugriffen



31.10.2

7

so wird bei Schreibzugriffen automatisch ein zusätzliches Schreiben des Datenbytes in den RAM vorausgesetzt (RAM-Kopie). Dazu wird eine Registeradresse der Form $2 + H$ in eine RAM-Adresse der Form $8 + rH$ gewandelt. Mit den betreffenden Registeradressen sind auch Lesezugriffe möglich; es wird dann die RAM-Kopie gelesen.

Die Belegungen der einzelnen Register ist in den Bildern 3, 4 dargestellt.

Tabelle 1 gibt eine Übersicht über die Registeradressen.

I/O-Zugriffe zu den I/O-Schnittstellen unterliegen nicht der Vermittlung.

Weiterhin sind alle Schreib-Register zusätzlich über I/O-Adressen zugänglich, wobei das "höhere" Adressenbyte mit ausgewertet wird (Form der Adressen $2 + 7 + H$). Es sind nur Schreibzugriffe ohne RAM-Kopie möglich.

Die I/O-Adressierung ist in Bild 5 und Tabelle 2 dargestellt.

SEGMENT ADRES für Control-Griffen zu den ECC-Bits

7	6	5	4	3	2	1	0
ENABLE CS	ENABLE ECC NMI	ENABLE ECC	ECC BIT ACCESS	UNSEG MODE	SEGMENT ADRES 2	1	0

CONTROL

5	4	3	2	1	0
ENABLE EXT. WAIT	REJECT SLAVE ACC.	STOP ON IVR	STOP ON RD	ENABLE LOCKAHEAD	DISABLE REFRESH

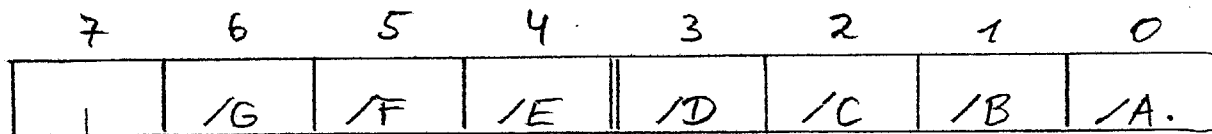
DIAG MODE

7	6	5	4	3	2	1	0
BURST MODE	INTER-RUPT	SLAVE ADRES 19 18		17	16	SEGM. ADRES 15 14	

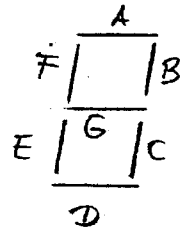
BUS ADRES

Register-Belegungen (-1)

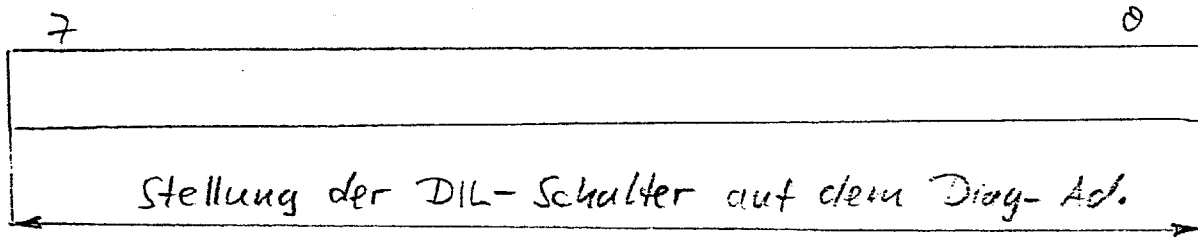
Bild 3



0: rechte Anzeige
 1: linke Anzeige



DIAG OUTPUT



DIAG INPUT

Register-Belegungen (2)

Bild 4

Register-Adressen

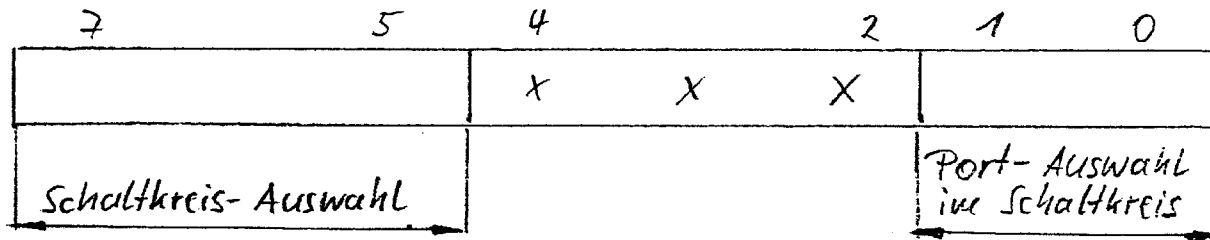
Speicher- adresse	I/O-Adresse	Register	Zugriffe
2000 ¹⁾	2070	CONTROL	Schreiben / Lesen
2081 ¹⁾	2071	DIAG MODE -	Schreiben / Lesen
2102 ¹⁾	2072	BUS ADRS	Schreiben / Lesen
2183 ¹⁾	2073	DIAG OUTPUT (Diagnoseadapter)	Schreiben / Lesen
2005	-	BACKUP	nur Lesen
2006	-	DIAG INPUT (Diagnoseadapter)	nur Lesen
	2076	CLEAR NMI INHIBIT	nur Schreiben ²⁾ (Steuere Wirkung)
2007	2077	CLEAR ECC LATCH	

1) empfohlene Adressen; prinzipiell wird jede Adresse der Form $2 \times r$ ($0 \leq r \leq 3$) in eine Adresse $8 \times r$ umgesetzt, so daß prinzipiell auch andere RAM-Plätze für die Register-Kopien benutzt werden können.

2) Datenbyte ist unwesentlich

Tabelle 1

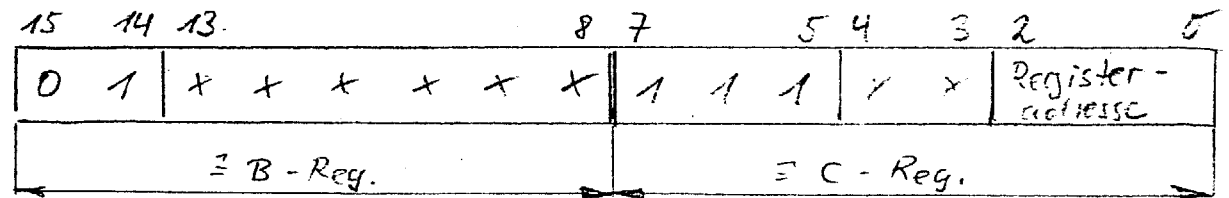
Niedere 8 Bits der CPU-Adresse:



- 0 0 0 CTC
- 0 0 1 SIO
- 0 1 0 PIO 1
- 0 1 1 PIO 2
- 1 0 0 PIO 3

- 1 1 1 Register I/O

- CPU-Adresse für Register I/O:



I/O-Adressierung

Bild 5

I/O - Adressen

Adresse	Einrichtung	Indexing-Priorität
00	CTC Kanal 0	1.
01	CTC Kanal 1	2.
02	CTC Kanal 2	3.
03	CTC Kanal 3	4.
20	SIO Kanal A, Daten	5.
21	SIO Kanal A, Steuerworte	
22	SIO Kanal B, Daten	6.
23	SIO Kanal B, Steuerworte	
40	PIO-1 Port A, Daten	7.
42	PIO-1 Port A, Steuerworte	
41	PIO-1 Port B, Daten	8.
43	PIO-1 Port B, Steuerworte	
60	PIO 2 Port A, Daten	9.
62	PIO 2 Port A, Steuerworte	
61	PIO 2 Port B, Daten	10.
63	PIO 2 Port B, Steuerworte	
80	PIO 3 Port A, Daten	11.
82	PIO 3 Port A, Steuerworte	
81	PIO 3 Port B, Daten	12.
83	PIO 3 Port B, Steuerworte	

Tabelle 2

2. Slave-Zugriffe

Der SBC kann eine beliebige Modul-
adresse (4 Bit) am Bussystem haben.

Mit der verbleibenden 16-Bit-Busschleife
können die 64 kByte RAM adressiert
werden.

Derartige Zugriffe werden ausgeführt,
wenn BURST MODE inaktiv ist.

Sie werden als unsegmentierte Zugriffe
bezeichnet.

Ist BURST MODE aktiv, so wird
der Adressenbereich 2000H .. 2FFFH
für Registerzugriffe benutzt.

In den Adressenbereichen

- 0 ... 1FFFH
- 3000H ... FFFFH

sind weiterhin RAM-Zugriffe möglich.

Ist bei einem Slave-Zugriff die Ausleitung
INTERRUPT aktiv, so findet kein
RAM-Zugriff statt. Ist gleichzeitig WRITE
aktiv, wird ein Interrupt in P10 3
Port B ausgelöst (das Datenbyte vom
Bus wird in diesen Port geschrieben).

Betriebsarten des RAM

1. Fehlerkorrektur (ECC)

Ist ENABLE ECC im CONTROL-Register gesetzt, so wird zu jedem Datenbyte ein 4-Bit-ECC gespeichert. Beim Lesen werden 1-Bit-Fehler in den 8 Datenbits korrigiert.

1-Bit-Fehler in den 4 ECC-Bits werden erkannt.

Bei einem erkannten Fehler (in den Daten- bzw. ECC-Bits) werden die höchstwertigen 8 Adressenbits im BACKUP-Register gesetzt, und es wird ein abfragbares Fehlerflipflop (ECC LATCH) gesetzt.

Ist zusätzlich ENABLE ECC NMI im CONTROL-Register gesetzt, so post. ein erkannter Fehler einen NMI aus, um eine Behandlungsroutine zu aktivieren.

2. Vergleichsstop

Ist ENABLE CS im CONTROL-Register gesetzt, so werden keine Schreibzugriffe zu den ECC-Bits ausgeführt. Keine Lesen findet keine Fehlerkorrektur statt. Die ECC-Bits werden auch bei Schreibzugriffen gelesen.

Es wird lediglich die niedrigstwertige ECC-Bitposition ausgewertet. Ist diese bei einem RAM-Zugriff gesetzt, so gilt die Vergleichsstopbedingung als erfüllt, wenn bei einem Lesezugriff STOP ON RD im DIAG MODE-Register gesetzt ist und bei einem Schreibzugriff STOP ON WR.

Eine erfüllte Vergleichsstopbedingung führt bei CPU-Zugriffen zu einem NMI und bei Slave-Zugriffen zum Aktivieren der Busleitung COMPARE MATCH. Dies wird verhindert, wenn die Busleitung NES aktiviert ist.

3. Keine Sonderwirkungen

Sind die Bitpositionen 7-5 des CONTROL-Registers mit Nullen belegt, so werden keine Schreibzugriffe zu den ECC-Bits ausgeführt. Beim Lesen findet keine Fehlerkorrektur statt. Die Vergleichsstop-Bedingung wird nicht ausgewertet.

4. Übergang zum ECC-Modus

Sind die Bitpositionen 7 und 5 des CONTROL-Registers mit Einsen belegt, so wird bei jedem Schreibzugriff der ECC gespeichert. Bei Lesezugriffen gibt es keine Sonderwirkungen (weder Korrektur noch Vergleichsstop).

5. Zugriffe zu den ECC-Bits

Die ECC-Bitpositionen können direkt gelesen bzw. in den RAM geschrieben werden. Bei Schreibzugriffen

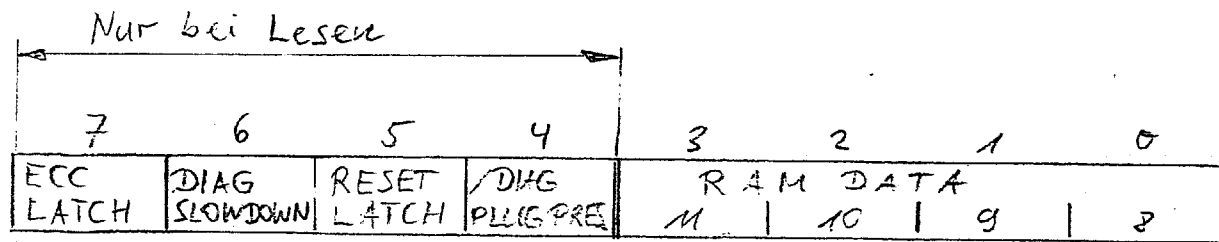
wird lediglich die niederwertige Tetrade des Datenbytes gespeichert. Bei Lesezugriffen belegen die geleerten ECC-Bits die nächste Tetrade.

In der höheren Tetrade wird Zustandsinformation übertragen. Dies ist im einzelnen in Bild 6 dargestellt.

Von der CPU aus, sind die ECC-Bits durch segmentierte Zugriffe erreichbar. Dazu müssen die Bits 7, 6, 5 des CONTROL-Registers auf 1 gesetzt werden.

Dann geben die Bits 3-0 die Adresse eines Segmentes von 4 k Bytes an, dessen Bytes über dem Adressenbereich 3000H...3FFFH zugänglich sind (vgl. Bild 2).

Bei RAM-Zugriffen der CPU mit anderen RAM-Adressenbereichen treten hinsichtlich der ECC-Bits keine Wirkungen ein (weder Schreiben noch Nutzung für Korrektur bzw. Vergleichsstop).



Datenbyte bei Zugriff auf ECC-Bits

Bild 6

Um Slave-Zugriffe zu den ECC-Bits ausführen zu können, ist das Bit ECC BIT ACCESS im CONTROL-Register einzuschalten. Die ECC-Bits sind dann mit unsegmentierten Zugriffen (BURST MODE inaktiv) zugänglich.

Ist BURST MODE aktiv, so können die entsprechenden RAM- bzw. Register-Zugriffe ausgeführt werden, wobei hinsichtlich der ECC-Bits keine Überlagerungen auftreten.

Tabelle 3 gibt einen Überblick über empfohlene Belegungen des CONTROL-Registers.

Hinweis: Nach jedem Hardware-Reset ist die Belegung 00H eingestellt.

Belegungen des CONTROL-Registers

Belegung	Wirkung
0xH	keine Wirkung der ECC-Bits, kein schreiben der ECC-Bits
AxH	Übergang zum ECC-Modus: ECC-Bits sind beim lesen wirkungslos, bei Schreibzugriffen wird der ECC gespeichert
8xH	Vergleichsstop ist wirksam
ExH	Zugriff (lesen/schreiben) zu den ECC-Bits im 4k-Segment x (Adressen 3000H ... 3FFFH), sonst ECC-Bits wirkungslos
Bit 3 = 1	CPU-Zugriff zur 64 k Bytes RAM (unsequenziertes Zugriff)
Bit 4 = 1	Slave-Zugriff zu den ECC-Bits, wenn BURST MODE inaktiv, sonst ECC-Bits wirkungslos
2xH	Fehlerkorrektur ohne NMI
6xH	Fehlerkorrektur mit NMI (Normalbetrieb)

Tabelle 3

Datenpfad

Die PROMs und E-A-Schaltweise sind direkt an den Datenbus der CPU angeschlossen.

Weiterhin sind allgemeine Datenbusleitungen (COMMON DATA) vorgesehen, die sowohl mit den Datenleitungen der CPU als auch des Bussystems gekoppelt sind.

Mit diesen allgemeinen Datenbusleitungen sind die Dateneingänge des RAM-Array und der für Schreibzugriffe eingerichteten Register sowie der Anschluß des

Diagnoseadapters verbunden. Sie dienen bei Master-Zugriffen als bidirektionale Datenleitungen und bei Slave- bzw. CPU-Zugriffen als Leitungen für die zu schreibende Information.

Für die zu lesende Information gibt es sowohl für die CPU- als auch für Slave-Zugriffe je ein Leseregister, das ausgangsseitig jeweils direkt an die Datenleitungen der CPU bzw. des Bussystems

angeschlossen ist.

Beide Leseregister sind einer Auswahlschaltung nachgeordnet, die einerseits den ECC-Korrekturschaltungen des RAM-Array und andererseits gemeinsame Lesedatenleitungen (COMMON READ) aber zu Leseregister nachgeschaltet ist.

Bild 7 veranschaulicht die Kopplung der Datenwege.

In Bild 8 ist der Datenfluß beim Lesen dargestellt.

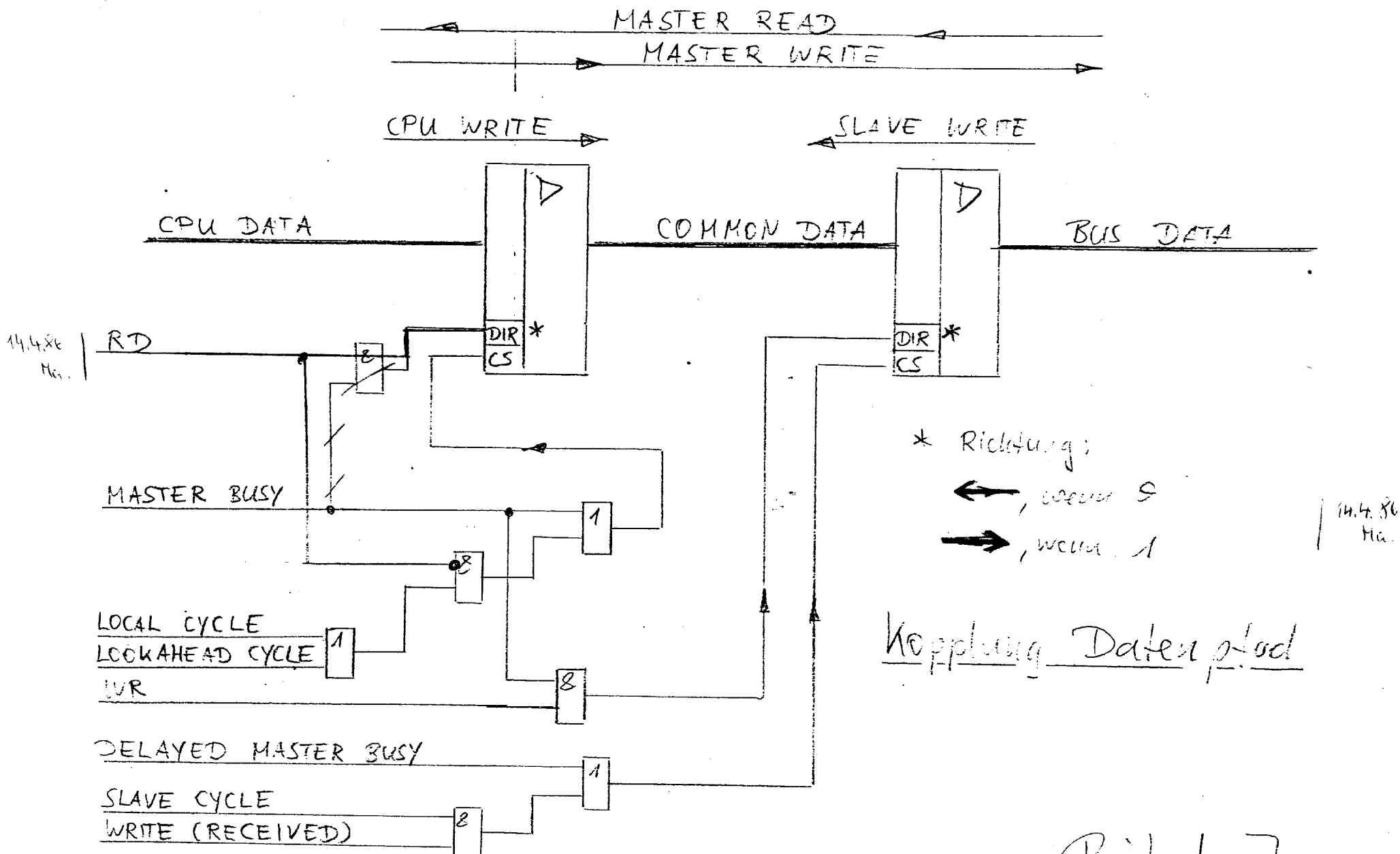
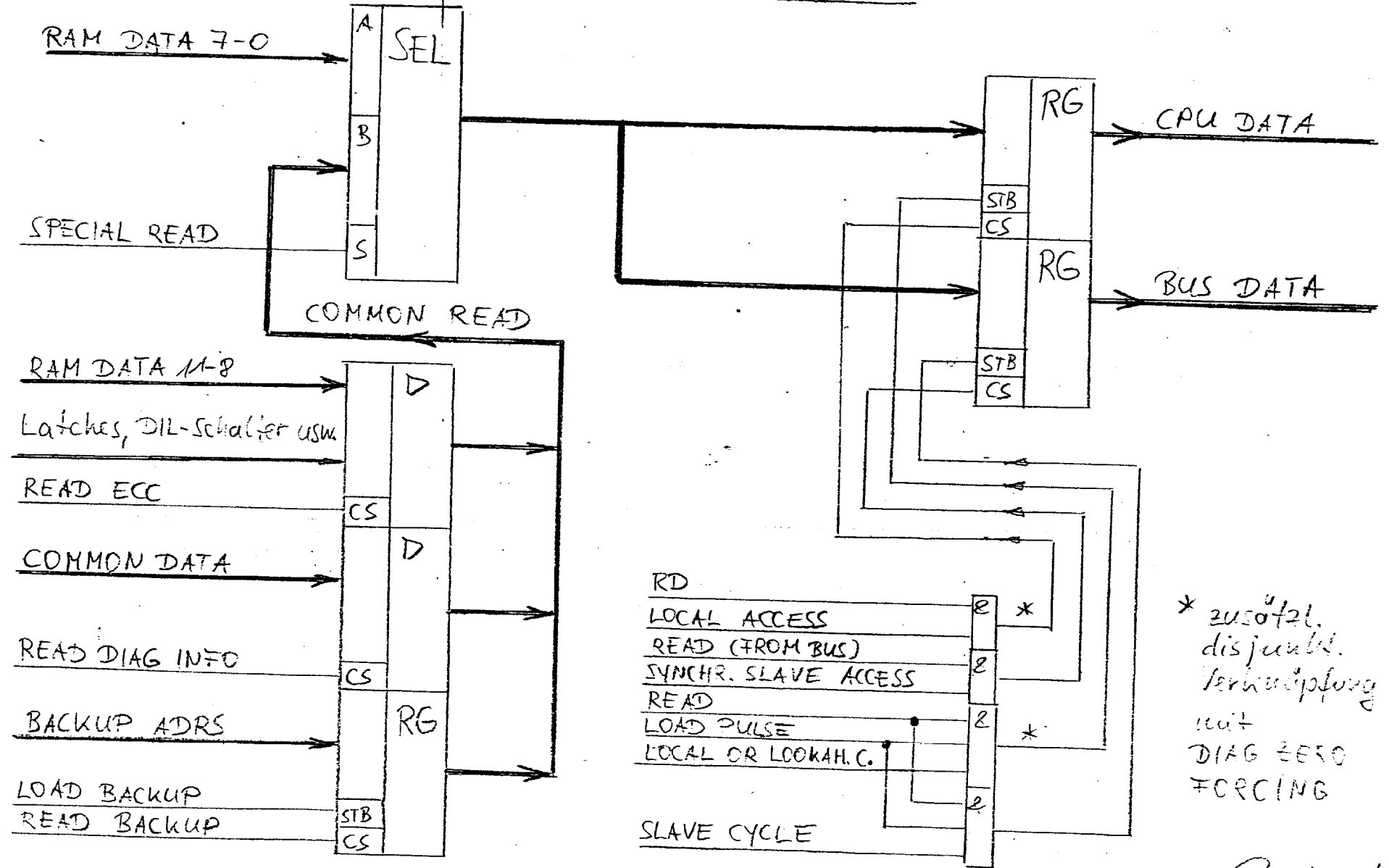


Bild 7

Datenpfad "Lesen"



* zusätzl.
disjunkt.
Verknüpfung
mit
DIAG ZERO
FORCING

Bild 2

Adressenpfad

Die PROMs und E-A-Schaltkreise sind direkt an die Adressenleitungen der CPU angeschlossen.

Weiterhin sind allgemeine Adressleitungen (COMMON ADRES) vorgesehen, die sowohl mit den Adressleitungen der CPU als auch mit denen des Basissystems gekoppelt sind.

Den Adresseneingängen des RAM-ARRAY sind Decodierschaltungen vorgesehen die an niederwertige Teile der CPU-Adressleitungen, an die COMMON ADRES-Leitungen sowie an einen Refresh-Adressenzähler angeschlossen sind.

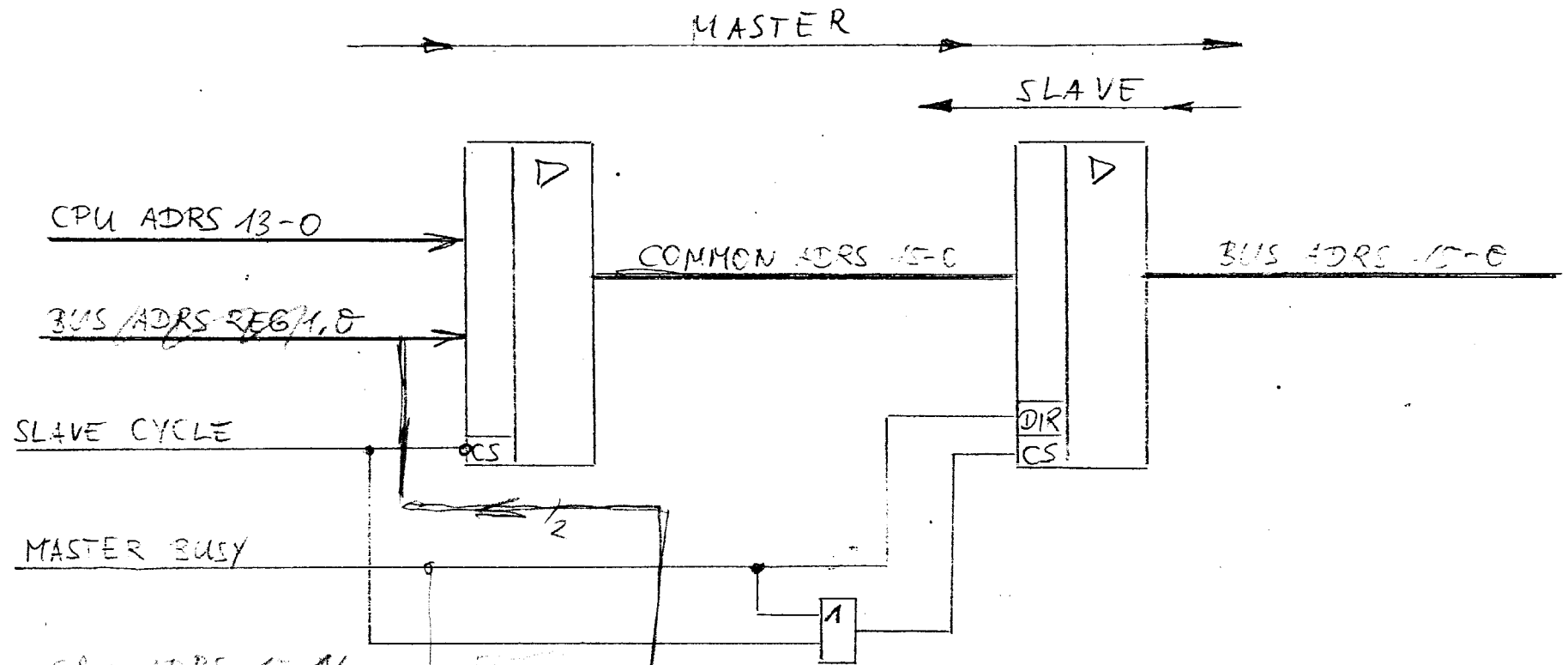
Die Anordnung ist so ausgeführt, daß die niederen 8 Bit der CPU-Adresse die geringste Kündelaufzeit haben (für die LOCKHEAD - Zyklen).

Details sind in den Bildern 9, 10 dargestellt.

Gemäß Bild 10 ist die Aussuchtschaltung A für die RAM-Adresse normalerweise so eingestellt, daß

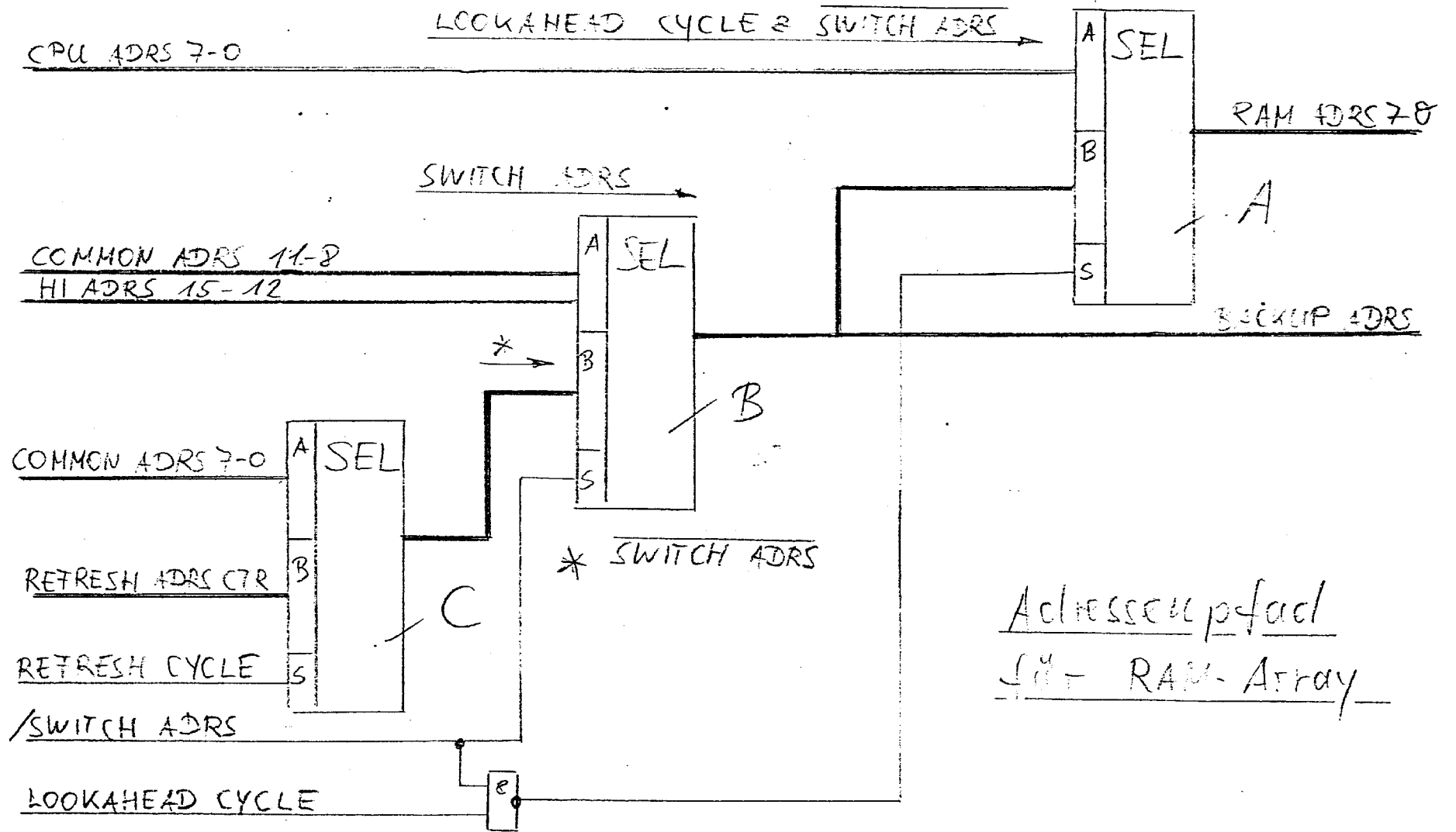
die niederen 8 Bit der CPU-Adresse zum RAM durchgesteuert werden.

Bei allen anderen Zyklen außer LOCK/HEAD-Zyklen wird von Anfang an die Auswahlschaltung B ausgewählt. Ist SWITCH ADRS aktiv, so werden die höherwertigen 8 Adressenbits durchgesteuert, andernfalls die Ausgänge der Auswahlschaltung C. Diese steuert normalerweise die niederen 8 Adressenbits durch und bei Refresh-Zyklen die Befehls- des Refresh-Adressenzählers (bei Refresh-Zyklen wird SWITCH ADRS nicht aktiv).



15.7.86
 die.
 CPU ADRS 10,11
 BUS ADRS REG 1,0
 AGL
 B
 S
Kopplung Adressenpfad

Bild 9



Adressselektoral
für RAM-Array

Bild 10

RAM-Array

Das RAM-Array besteht aus 12 64 k Bit DRAM-Schaltkreisen (8 Daten + 4 ECC-Bitpositionen). Den Schaltkreisen der ECC-Bitpositionen ist einseitig ein TTL-PROM vorgeschaltet, der zwischen 2 Funktionen umsteuerbar ist:

1. Bildung des ECC
2. Direktes Durchsteuern der mehreren 4 Datenbits.

Ausgangsseitig ist ein Korrekturnetzwerk nachgeschaltet.

Die Struktur ist in Bild 11 dargestellt. Tabelle 4 zeigt das Prinzip der ECC-Bildung und -Korrektur.

Die Korrektur fehlerhafter Datenbits erfolgt durch Äquivalenzverknüpfung der gelesenen Datenbits mit entsprechend gem. Tabelle 4 decodierten Paritätsfehlersignalen.

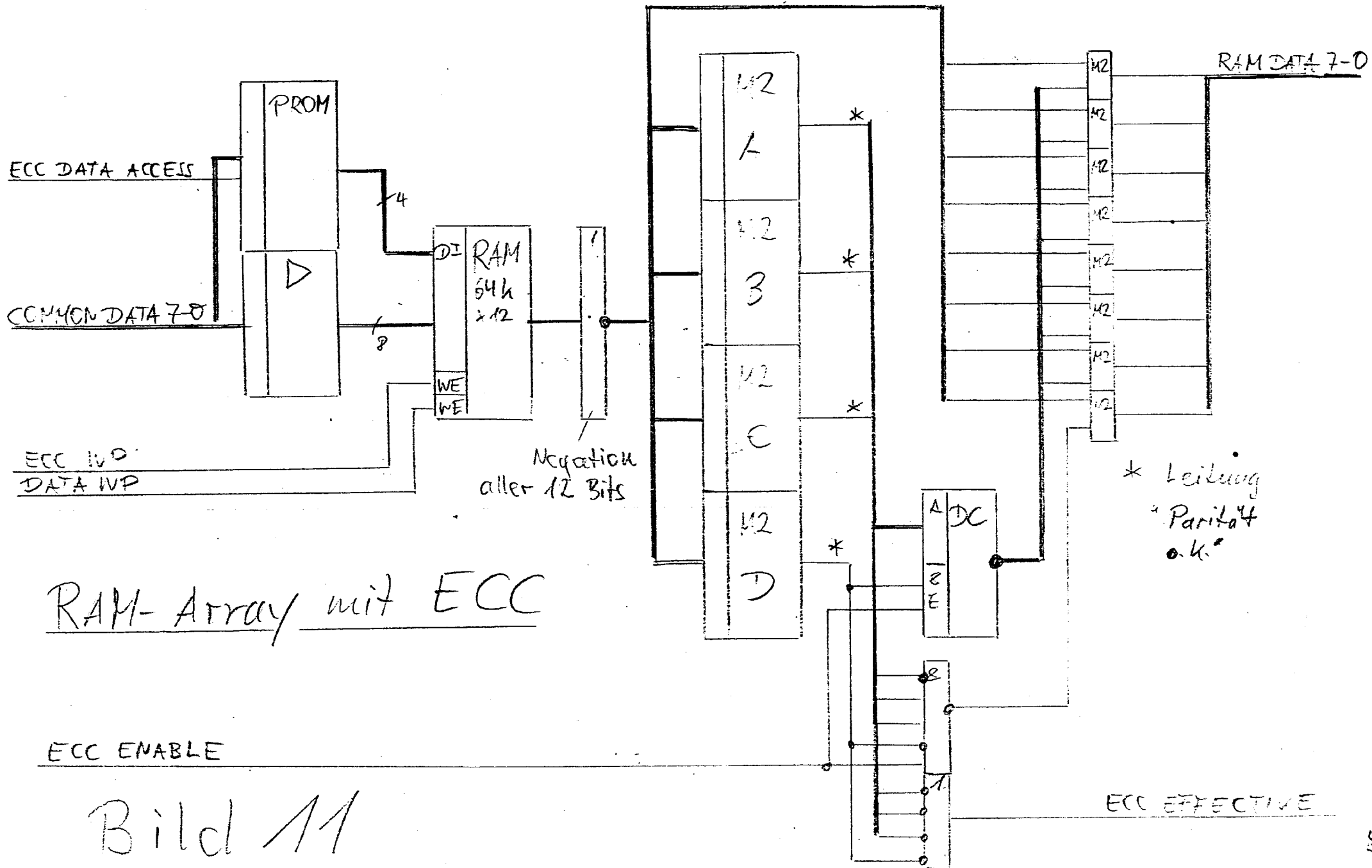
Bildung des ECC

ECC-Bits				Data bits								Paritätsprüfer
M	10	9	8	7	6	5	4	3	2	1	0	
			X	X	X		X		X		X	A (2 ⁰)
		X	X		X	X			X	X		B (2 ¹)
	X	X	X		X	X	X	X				C (2 ²)
X	X	X	X	X								D (2 ³)
ABCD	ABC \bar{D}	A \bar{B} C \bar{D}	\bar{A} \bar{B} C \bar{D}	\bar{A} BC \bar{D}	A \bar{B} C \bar{D}	\bar{A} \bar{B} C \bar{D}	\bar{A} BC \bar{D}	ABC \bar{D}	\bar{A} \bar{B} CD	A \bar{B} CD	\bar{A} BCD	Fehler in Bit 1)
7	3	1	0	6	8	9	A	B	C	D	E	korr. Parität (hex) 2)
					0	1	2	3	4	5	6	decodiert Belegung 3)

X: Bit in Paritätskontrolle einbezogen

- 1): Negation kennzeichnet inkorrekte (gerade) Parität
- 2): Hex-Darstellung der Paritätsprüfer-Ausgänge D... A
- 3): Decodierung der Paritätsprüfer-Ausgänge C, B, A (mit D=1)

Tabelle 4



RAM-Array mit ECC

Bild 11

Interne Ablaufsteuerung

Gemäß Bild 12 besteht die interne Ablaufsteuerung aus einem Multiplexerregister mit nachgeschaltetem Vermittlungselement, einem Zählerregister sowie einem Schieberegister zur Erzeugung zeitversetzter Steuerungssignale.

Die Vermittlung ist mit der Anstiegsflanke des CPU-Taktes synchronisiert, alle anderen Abläufe werden vom Grundtakt gesteuert.

Priorität der einzelnen Anforderungen:

1. (höchste): Refresh

2. : Slave-Zugriffe

3. : lokale Zugriffe

4. : LOOKAHEAD-Zugriffe

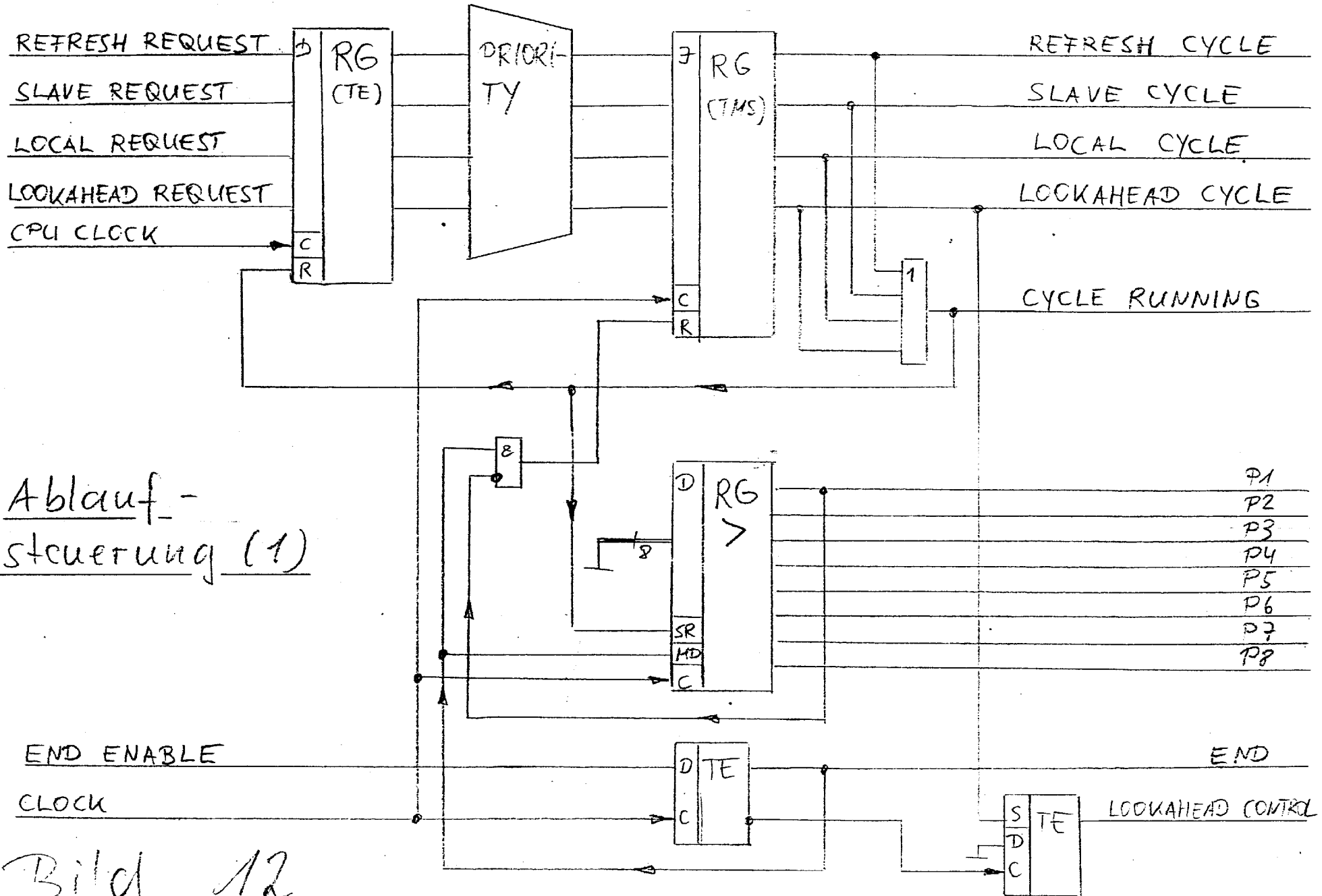
Bild 13 zeigt die Bildung der einzelnen Steuerungspulse.

Dabei sind LOOKAHEAD-Zyklen kürzer als die übrigen. In den Bildern 14, 15 sind die entsprechenden Abläufe dar-

gestellt.

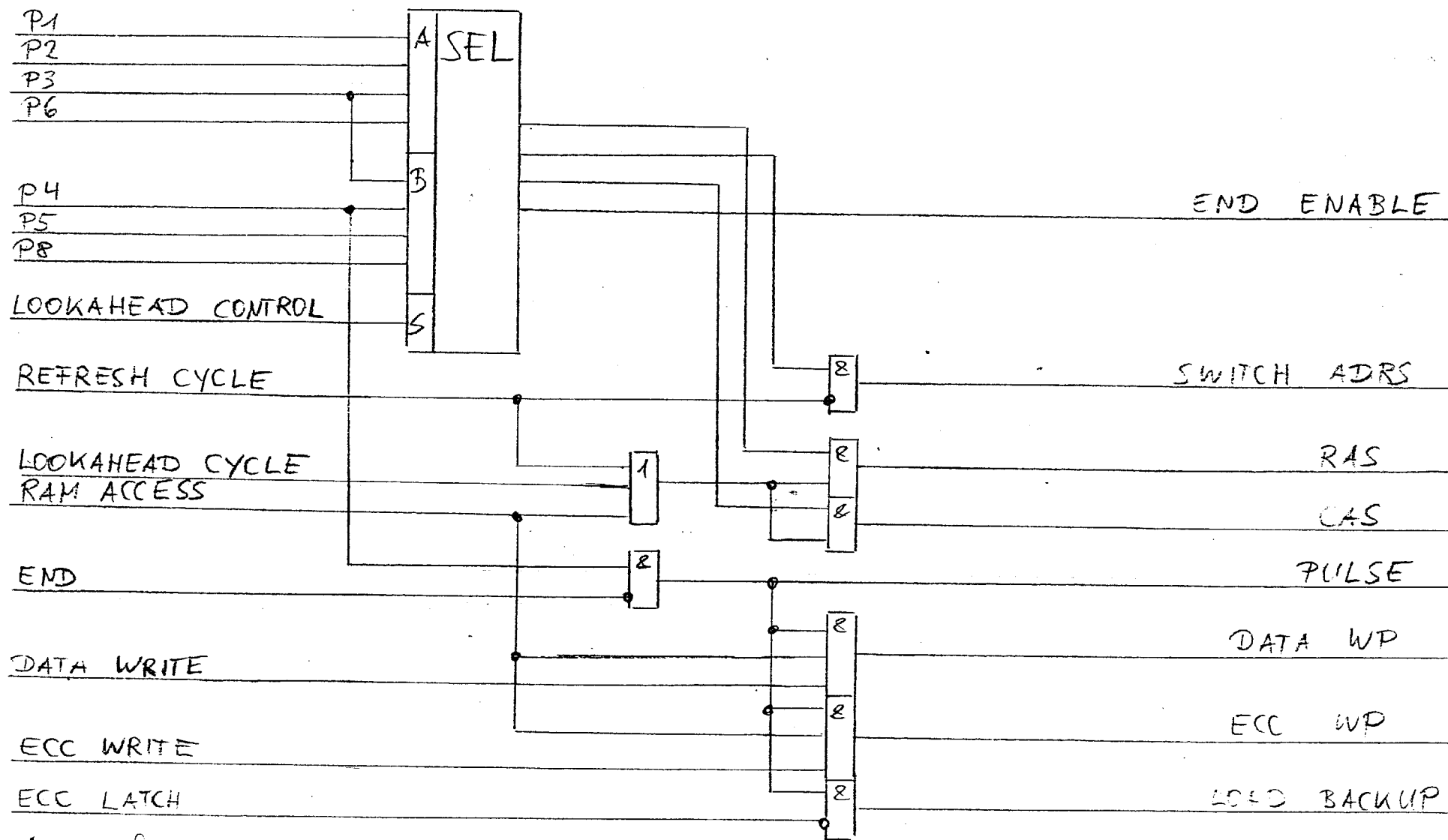
LOOKAHEAD - Zyklen werden gestartet, wenn die CPU mit der Ausliegsflanke von T1 die Adresse für den neuen Zugriff bereitstellt. Der Zugriff beginnt sofort mit P1 (RAS).

In den anderen Zyklen beginnt jeder RAM-Zugriff mit P3, so daß für das Durchschalten der Daten- und Adressenpfade ausreichend Zeit zur Verfügung steht.



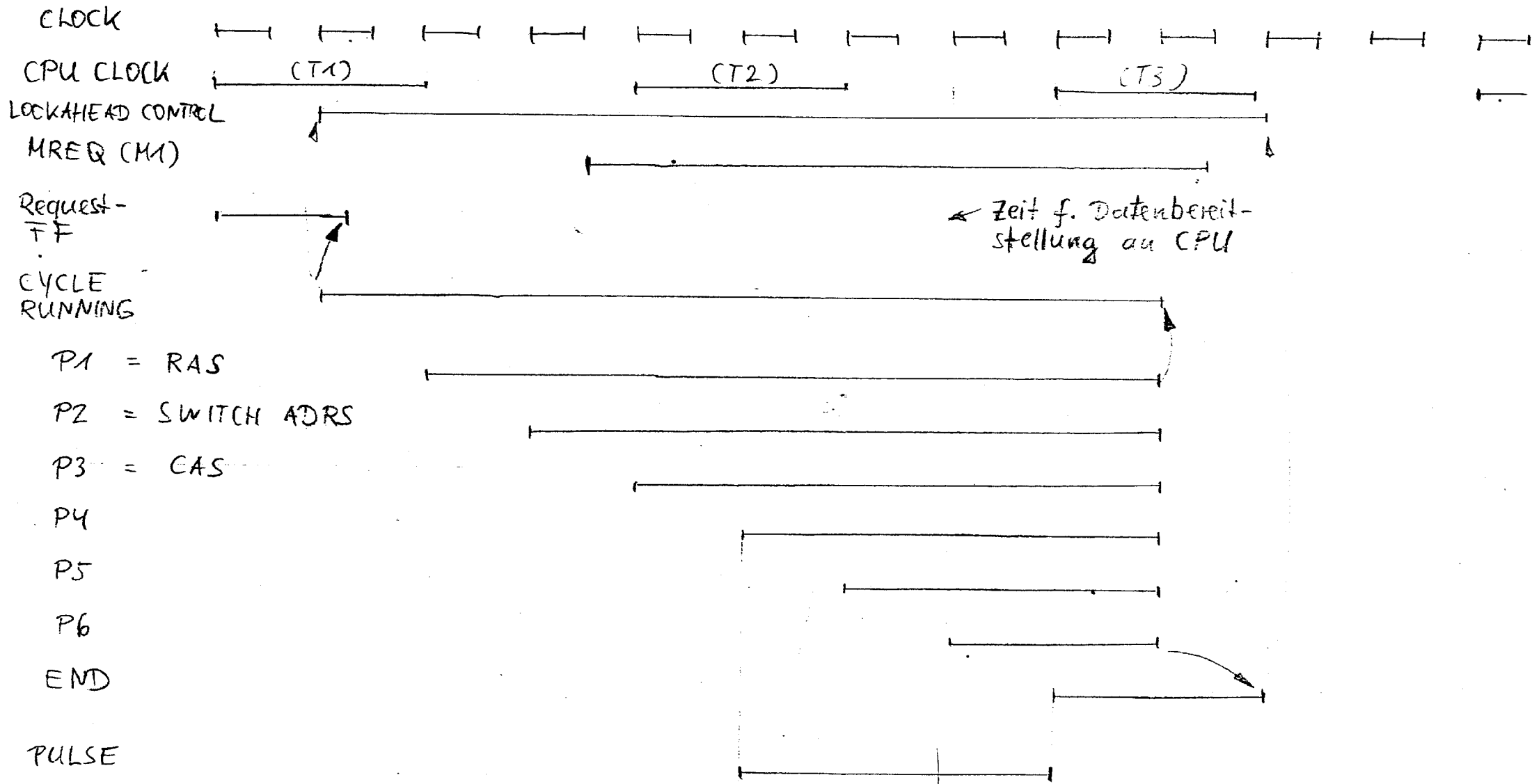
Ablauf-
steuerung (1)

Bild 12



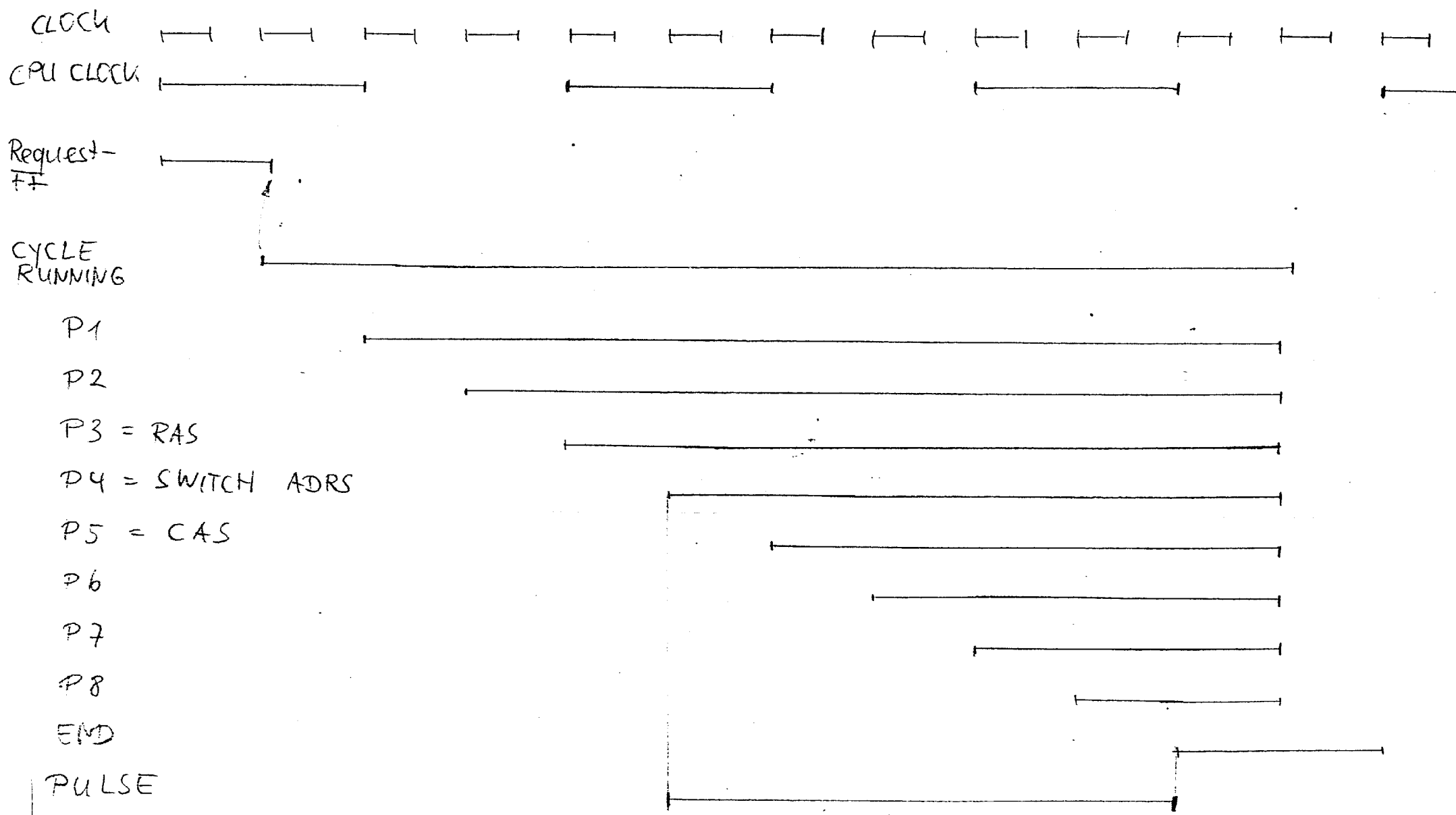
Ablaufsteuerung (2)

Bild 13



Ablauf LOCKAHEAD CYCLE

Bild 14



Ablauf der anderen Zyklen

Bild 15

Interne Zugriffssteuerung

Die wesentlichen Schaltmittel sind in den Bildern 16-18 dargestellt.

Bild 16 zeigt eine Auswahlschaltung, die folgende Zugriffssignale liefert:

- READ (Lesungriff)
- UNSEG MODE (bei lokalen Zugriffen durch CONTROL REG 3, bei Slave-Zugriffen durch inaktive Busleitung BURST MODE)
- INHIBIT ACCESS (Auskidrüchen von Zugriffen bei aktivem DIAG ZERO FORCING vom Diagnoseadapter bzw. bei aktiver INTERRUPT-Busleitung oder Zurückweisung von Slave-Zugriffen)
- ECC DATA ACCESS (Zugriff zu den ECC-Bits lokal mit CONTROL REG 7, 6, 5 = 1; bei Slave-Zugriffen mit CONTROL REG 4 = 1 und inaktiver BURST MODE - Leitung).

Weiterhin ist eine erste Verknüpfungsschaltung (TTL-PROM) dargestellt, die Erlaubnissteuersignale liefert.

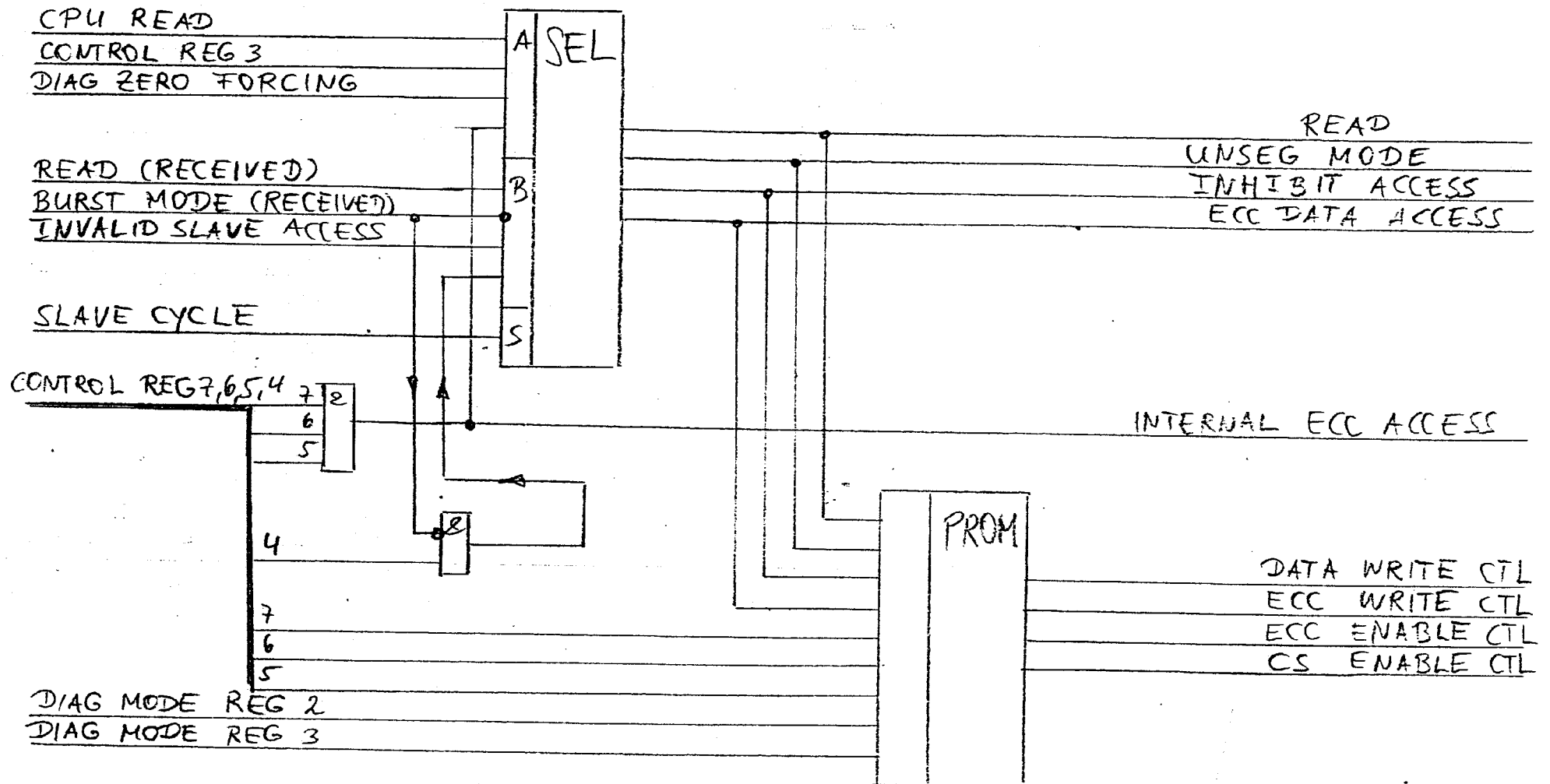
Bild 17 zeigt eine Übersichtsstruktur für die höchstwertigen 4 Bits der RAM-Adresse, eine weitere Verknüpfungsschaltung sowie ein Halteregister.

Die besagten Bits der RAM-Adresse werden wie folgt geleitet:

- bei Slave-Zyklen stets gemäß COMMON ADRS 15-12 mit entsprechender Umcodierung bei Registerzugriffen (ZH \rightarrow SH)
- bei lokalen Zyklen gemäß dem Inhalt des CONTROL-Registers, sofern es sich um segmentierte Zugriffe handelt, ansonsten gemäß COMMON ADRS 15-12 (mit Umcodierung ZH \rightarrow SH).

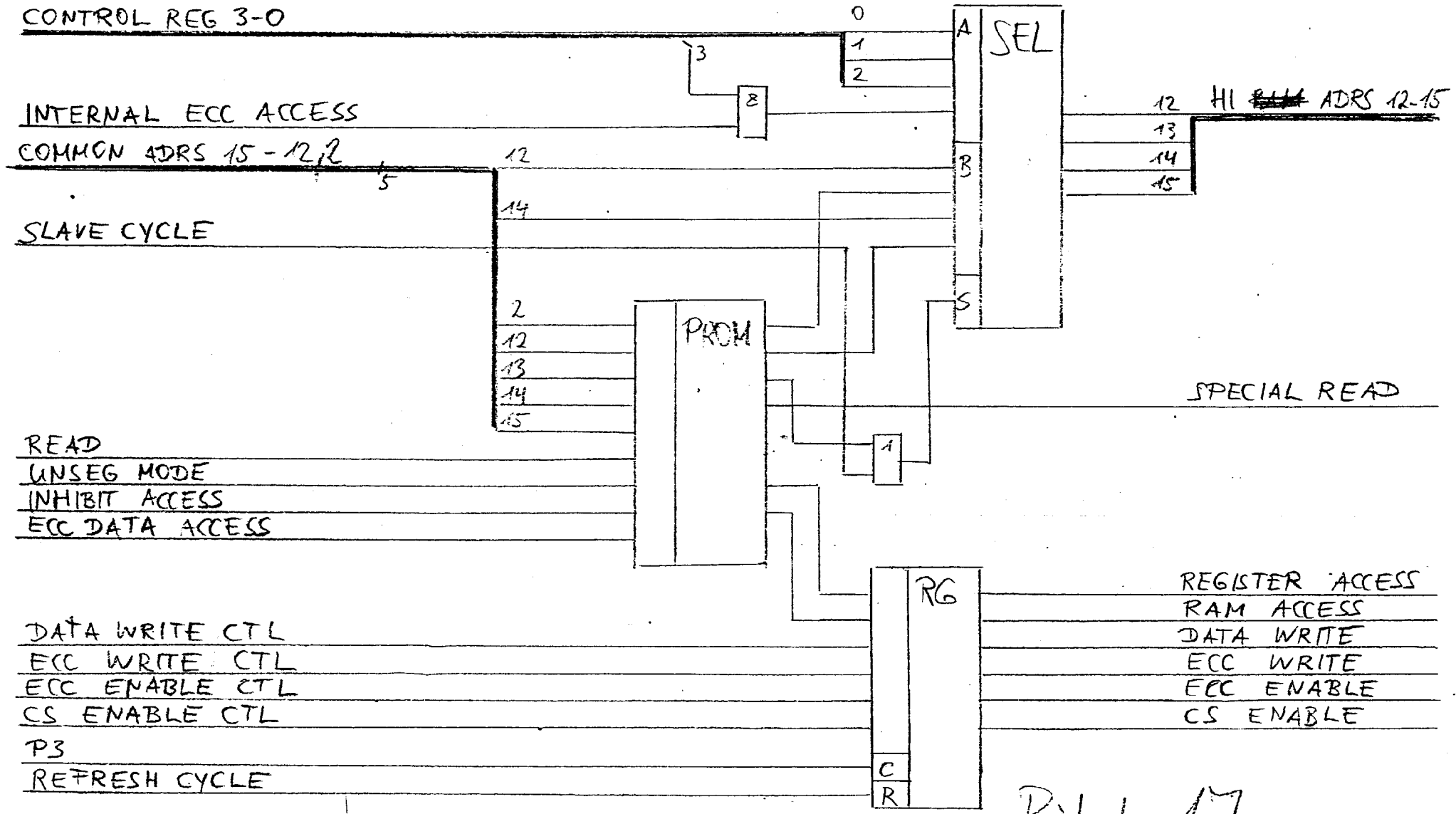
Das Halteregister gewährleistet eine stabile Belegung der Zugriffsteuer- und Erlaubnissignale für die Dauer des Zyklus.

Bild 18 zeigt die Decoder für die Registerzugriffssignale sowie die Bildung des Lesesteuersignals für ECC-Zugriffe und des Strobe-Impulses für Bus-Interrupts.



Zugriffsstuerung (1)

Bild 16



Zugriffssteuerung (2)

Bild 17

Zugriffsteuerung (3)

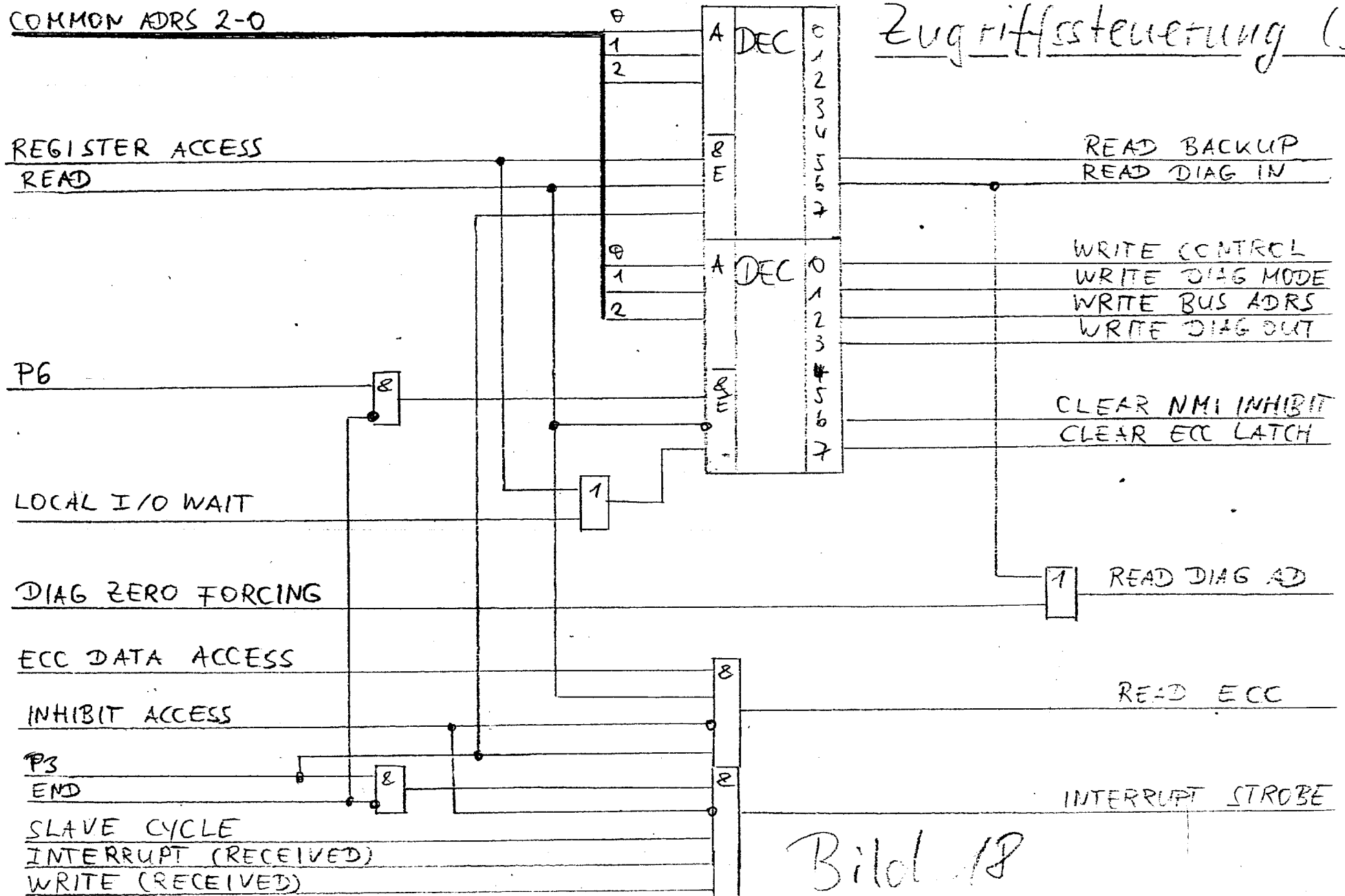


Bild 18

ECC- und Vergleichsstop-Auswertung

Gemäß Bild 19 wird bei eingeschalteter Fehlerkorrektur (ECC ENABLE; nur bei Lesegriffen aktiv) und aktivem RAM-Zugriff der abfragbare ECC-Latch eingeschaltet.

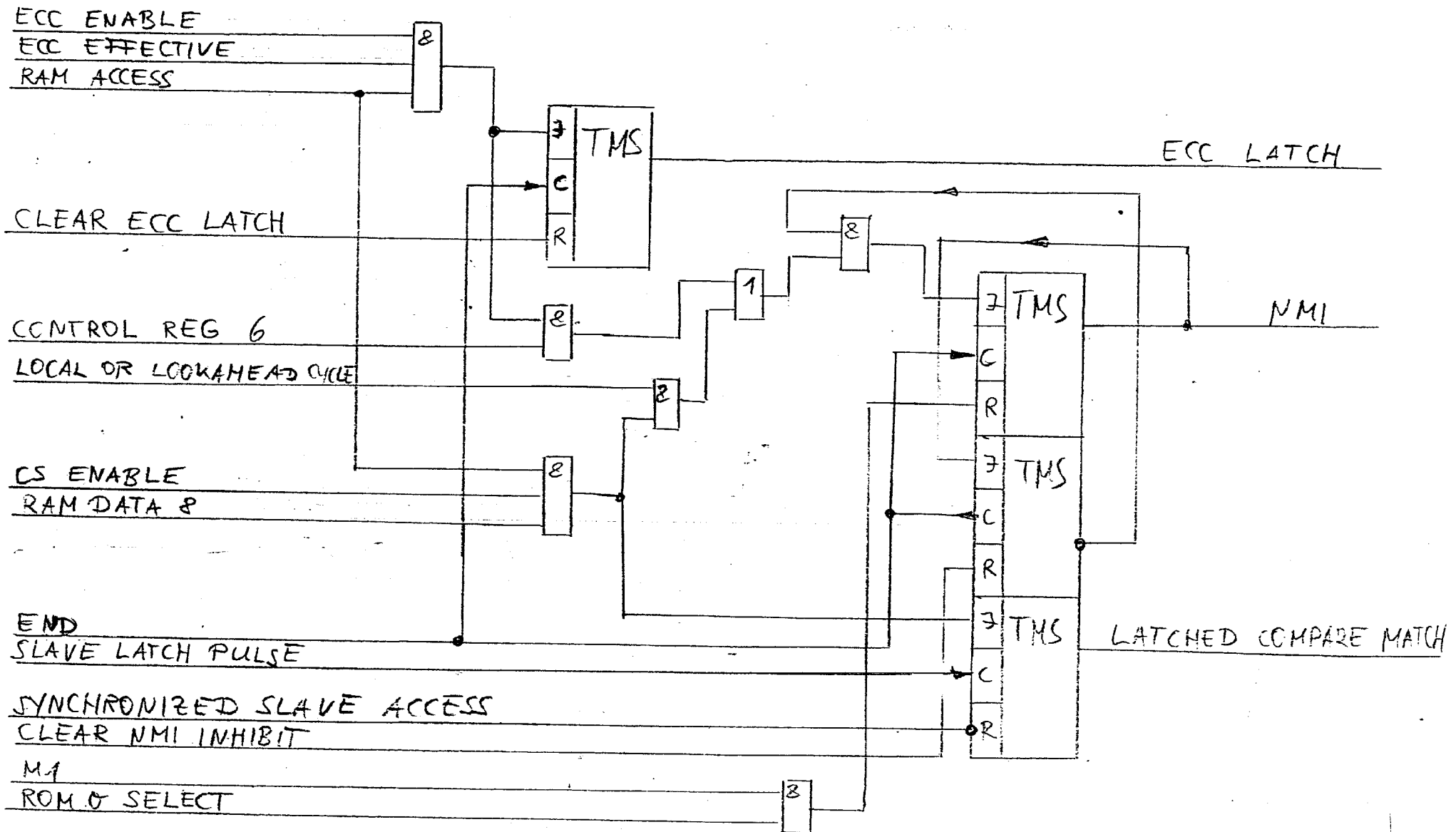
Ist zusätzlich CONTROL REG 6 gesetzt, wird ein NMI ausgelöst (sowohl bei lokalen als auch bei Slave-Zugriffen).

Hinweis: Der PPM gem. Bild 16 aktiviert ECC ENABLE mit READ 8 CONTROL REG 5 & CONTROL REG 7, so daß es bei Vergleichsstop aller lokalen Zugriffen zu den ECC-Bits nicht wirksam wird.

Alternativ zum ECC kann der Vergleichsstop aktiviert sein.

Bei lokalen Zugriffen wird NMI ausgelöst, bei Slave-Zugriffen wird die Busleitung COMPARE MATCH aktiviert (das Erregen von COMPARE MATCH wird bei aktiver NES-Leitung verhindert).

Wurde ein NMI ausgelöst, so verhindert ein Sperrflipflop weitere NMI, bis dieser programmseitig zurückgesetzt wird.



ECC - und Vergleichsstop - Auswertung - Bild 19

CPU - Anforderungssteuerung

Bild 20 veranschaulicht die Decodierung der CPU-Adressen.

Bemüß Bild 21 veranlaßt die Vorderflanke von MREQ das Einschalten von WAIT-Flipflops für lokale bzw. Master-Anforderungen.

Lokale Anforderungen entstehen weiterhin bei I/O-Zugriffen zu den Registern (WAIT wird mit IORQ eingeschaltet; es wird nicht wirksam, wenn M1 aktiv ist, d. h. bei Interrupt-Ausnahmesyklen).

Damit eine Master- bzw. lokale Anforderung für die Vermittlungsschaltung (Bild 12) entstehen kann, muß die CPU eines ihrer Zugriffssignale (RD oder WR) aktivieren.

Für die Bildung lokaler Anforderungen ist es weiterhin erforderlich, daß keine externen Wartebedingungen (EXT WAIT CONDS) aktiv sind.

Diese Steuerung ist in Bild 22 dargestellt.

Externe Wartebedingungen werden wie folgt gebildet:

1. bei aktivierter Busleitung NES zu Beginn eines Slave-Zyklus oder am Ende eines Master- oder eines lokalen Zugriffs für die Dauer der Aktivierung von NES
2. bei Empfang von BURST MODE am Ende eines Slave-Zyklus für die Dauer der Aktivierung von BURST MODE.

Die WAIT-Leitung der CPU wird von der disjunktiven Verknüpfung aller einzelnen WAIT-Bedingungen angesteuert.

Die Erzeugung der lokalen Anforderungssignale für die Vermittlungsschaltung zeigt Bild 23.

Diese Signale werden nicht aktiv, sofern eine Slave-Anforderung für selektives Rücksetzen vorliegt (INTERRUPT o. \overline{WRITE}).

LOOKAHEAD-Zyklen werden stets angefordert, sofern dies programmseitig eingestellt ist (CDIAG MODE REG 1) und keine

Ausforderungsleitung der CPU aktiv ist.

Damit werden LOOKAHEAD-Zyklen immer dann ausgelöst, wenn die CPU die Adresse für den nachfolgenden Zugriff bereitstellt.

Einmal gestartete LOOKAHEAD-Zyklen werden nur dann als "gültig" deklariert, wenn zu Beginn des folgenden CPU-Taktes (erste Abwärtsflanke nach der Aktivierung des Zykles) eine lokale Wartebedingung aktiv ist.

In diesem Fall wird LOOKAHEAD \overline{VALID} aktiv, wodurch die lokalen Wartebedingungen ausgeschaltet werden, so daß sie während der abfallenden Flanke des CPU-Taktes inaktiv sind, wodurch Wartezustände vermieden werden (s. Bild 21, 22, 24).

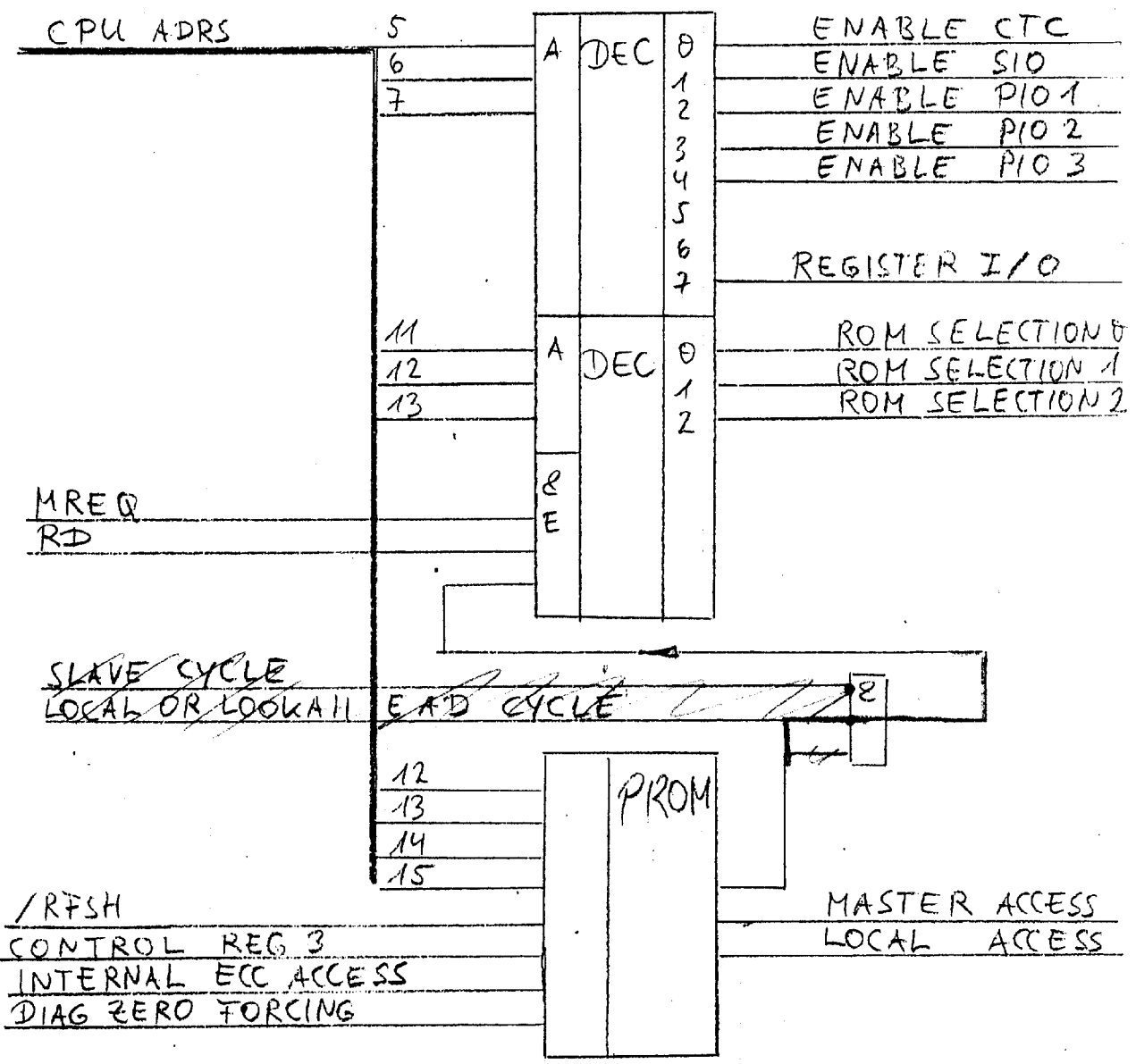


Bild 20

Decodierung der CPU-Adressen

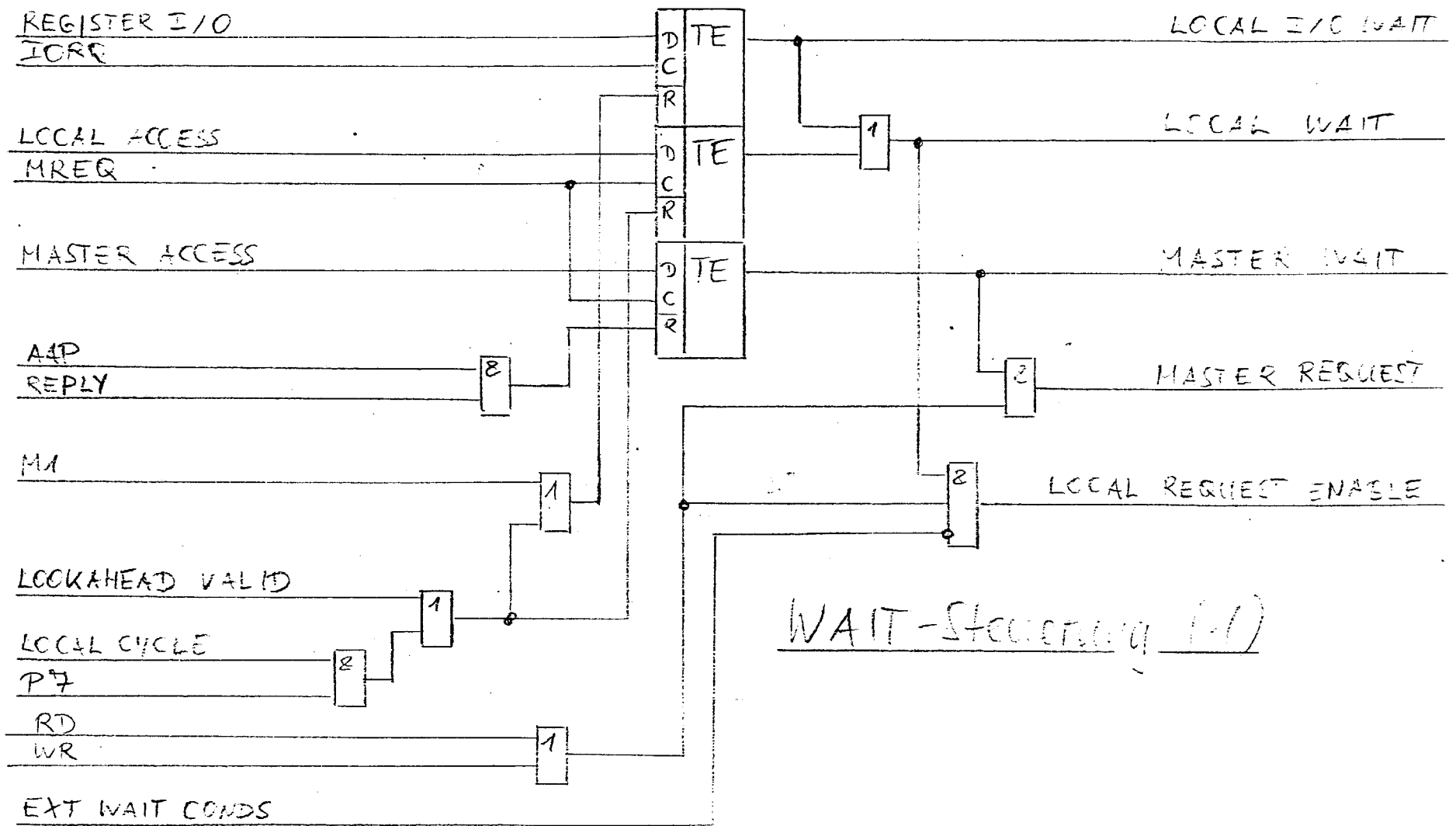
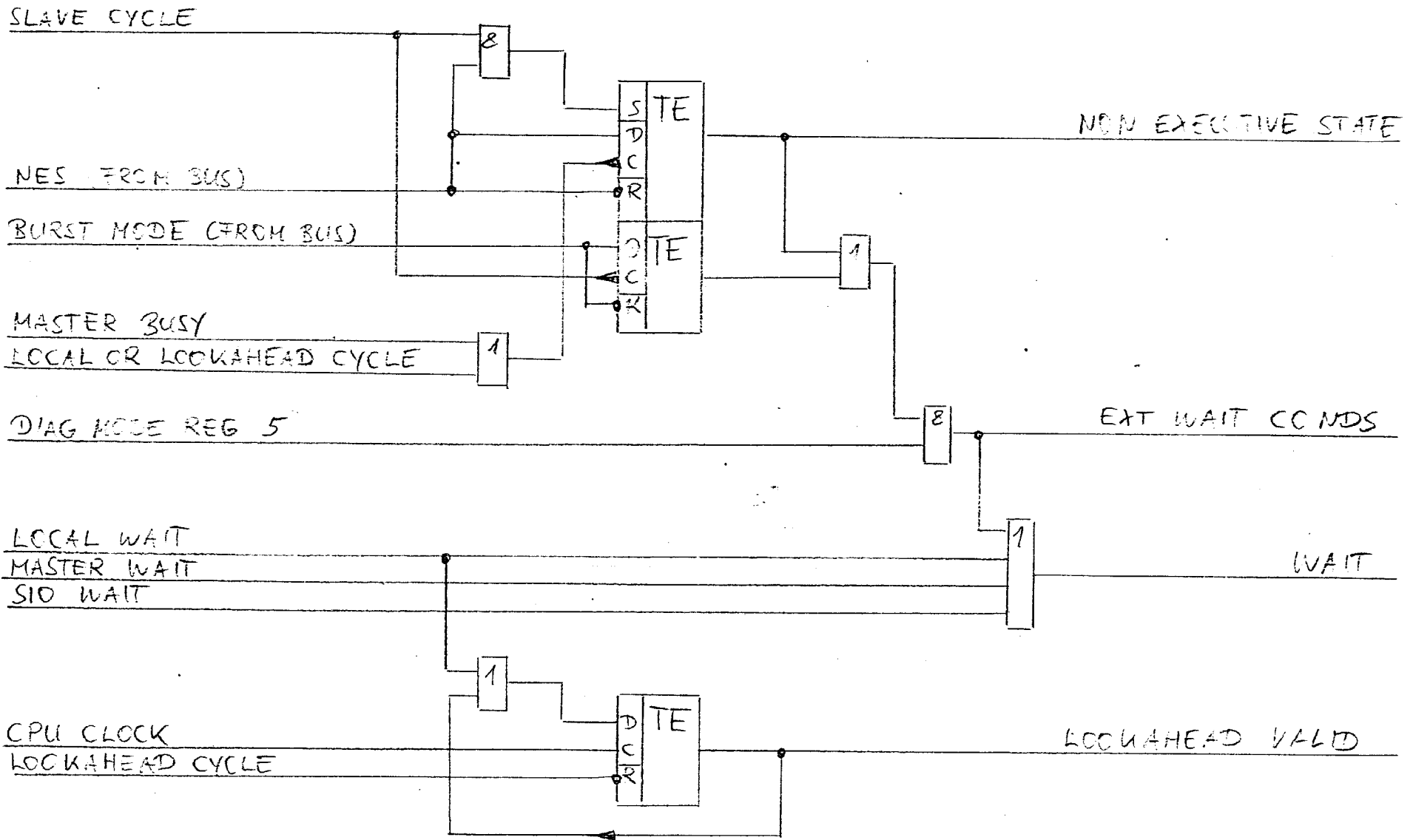
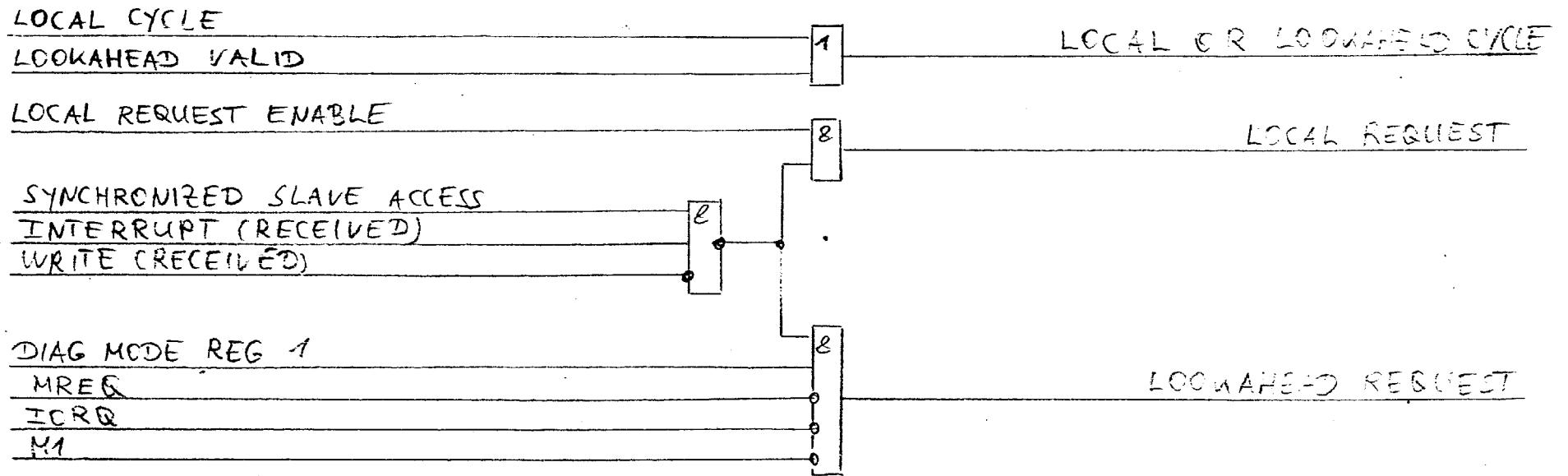


Bild 21



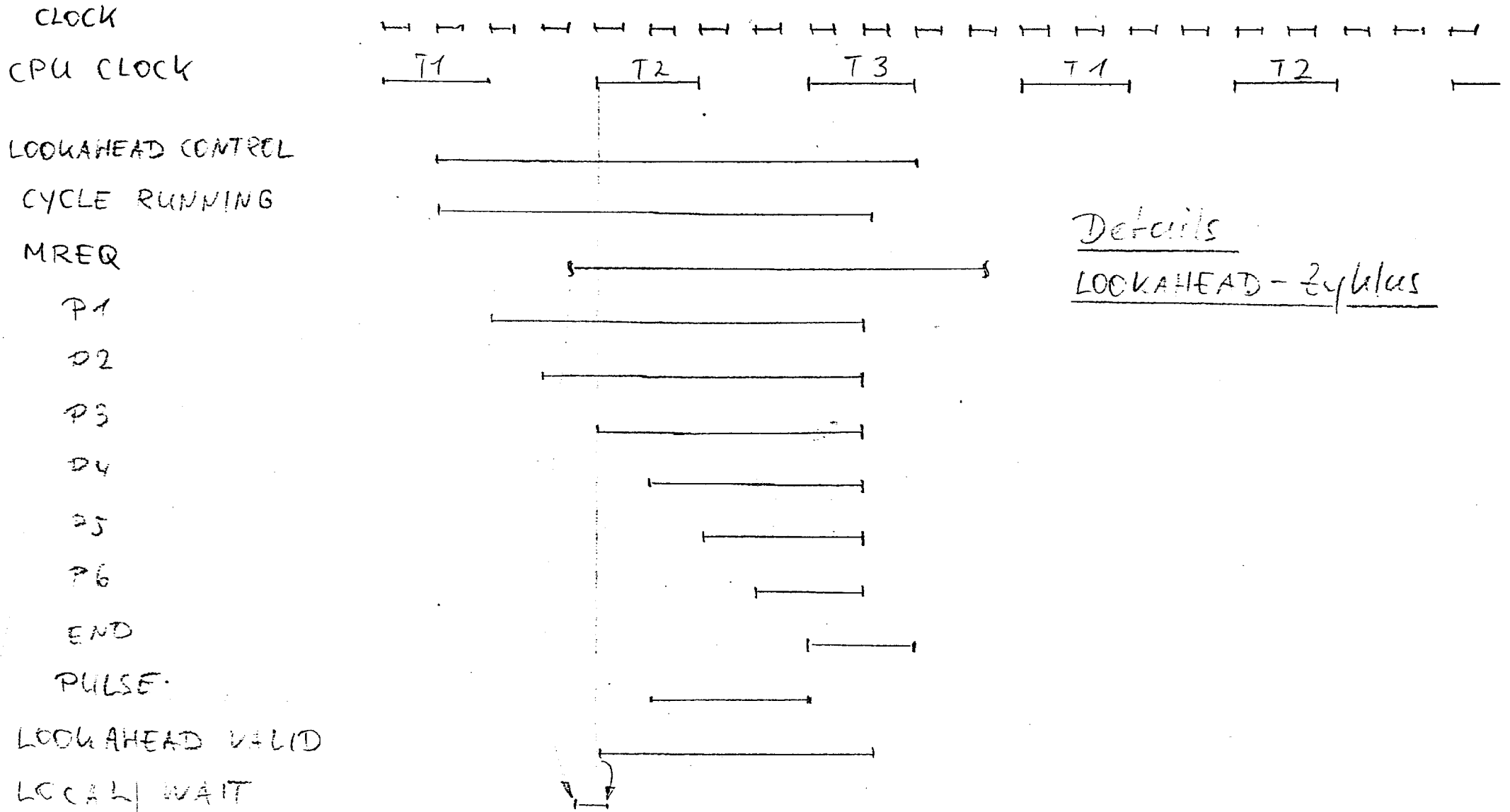
WAIT-Steuerung (2)

Bild 22



Lokale Anforderungen

Bild 23



Details
LOOKAHEAD - Zyklen

Bild 24

Slave-Adressenerkennung

Gemäß Bild 25 wird die Moduladresse vom Bussystem (Adressenbits 19-16) mit der eingestellten Moduladresse verglichen. Der Vergleich wird durch Abführung von BUSY - Leitung wirksamer.

Die Vergleichsbedingung muß für wenigstens eine Taktperiode stabil aufliegen.

Daraufhin wird ein Malteflipflop eingeschaltet, wodurch gewährleistet wird, daß SYNCHRONIZED SLAVE ACCESS bis zur Erregung der Busleitung ACKNOWLEDGE von Störungen des Vergleichsausganges nicht beeinflusst wird.

Mit SLAVE REQUEST wird die Belegung der Zugriffstenerleitungen gem. Bild 26 in ein Malterregister übernommen.

SLAVE REQUEST wird nach Einschalten von SLAVE CYCLE wieder ausgeschaltet.

Bild 27 zeigt die Erregung der Antwortsignale am Ende des Slave-Zyklus (Ablaufdiagramm s. Bild 28).

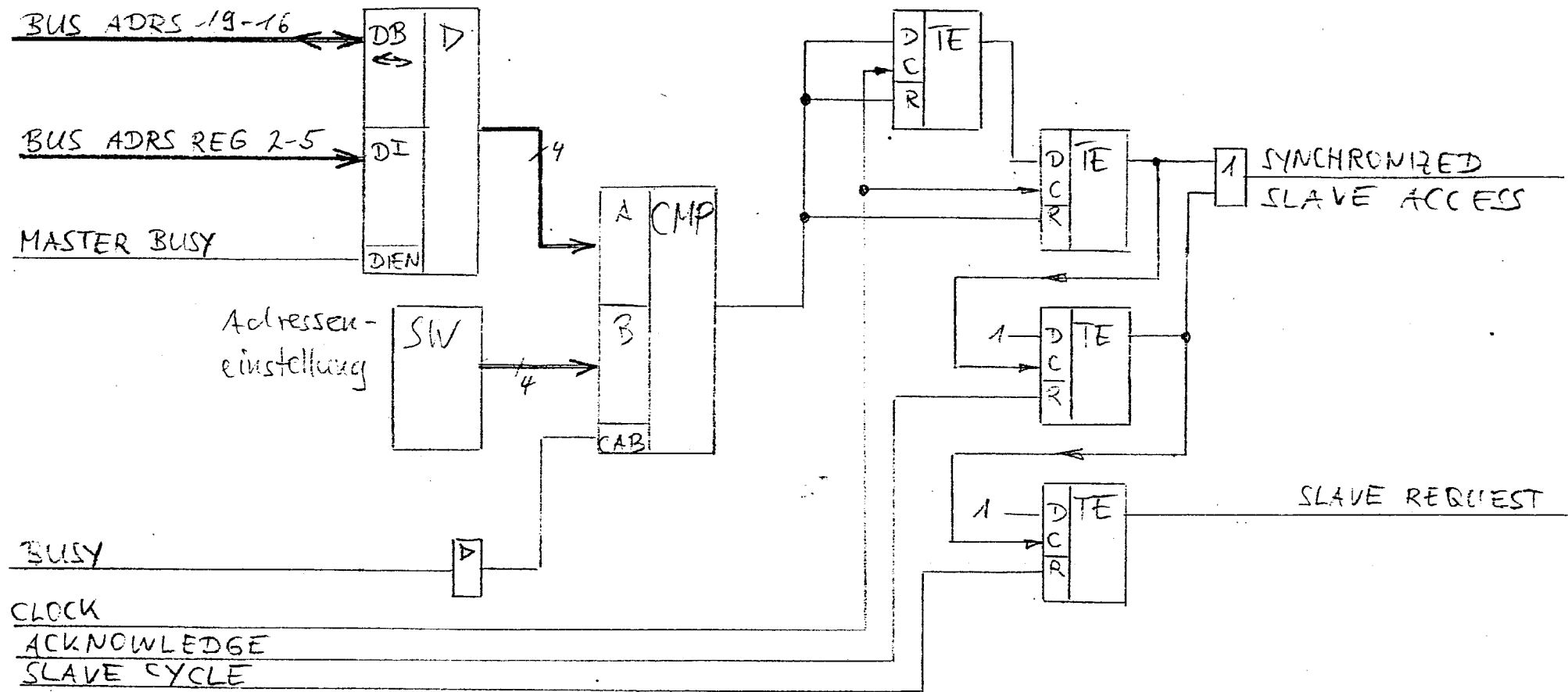


Bild 25

Slave-Anforderungsgenerierung

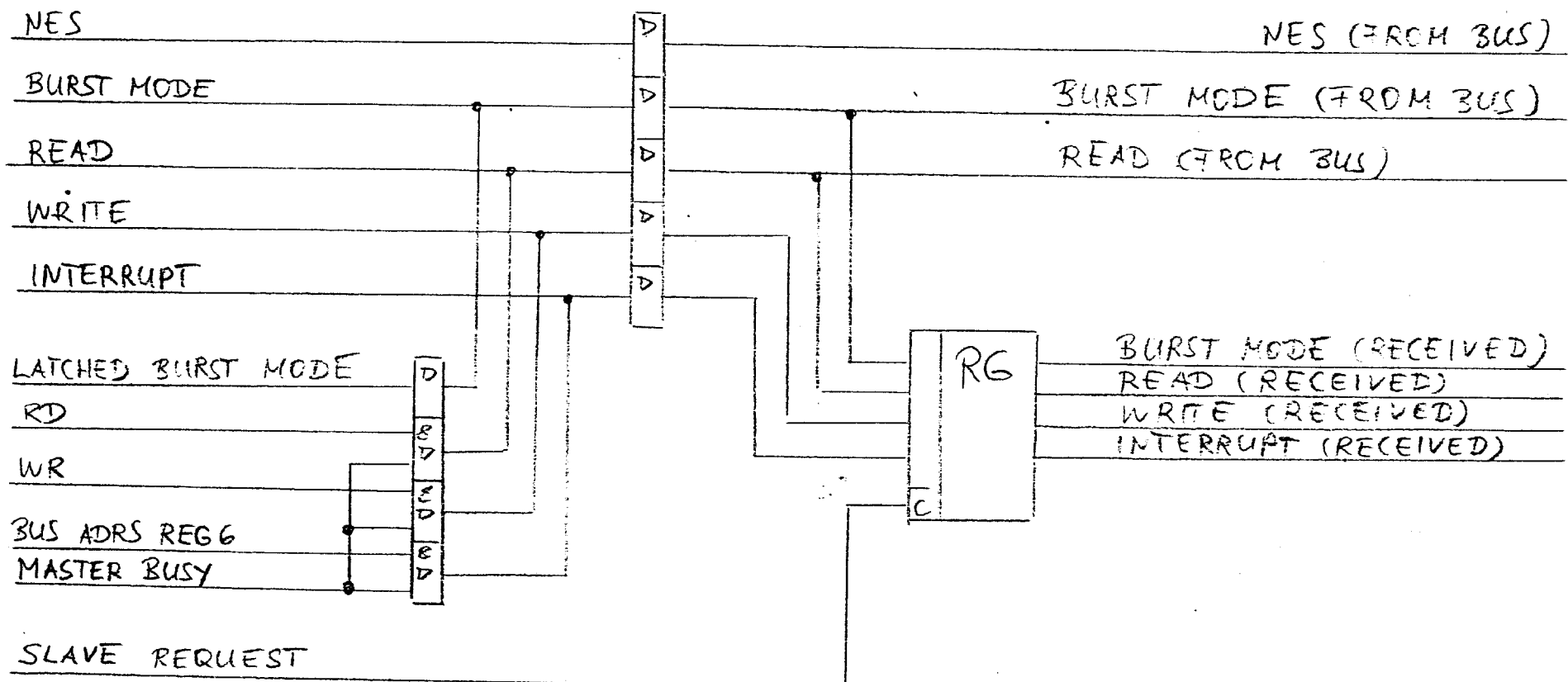


Bild 26 Bus-Kopplung der Zugriffsteuerleitungen

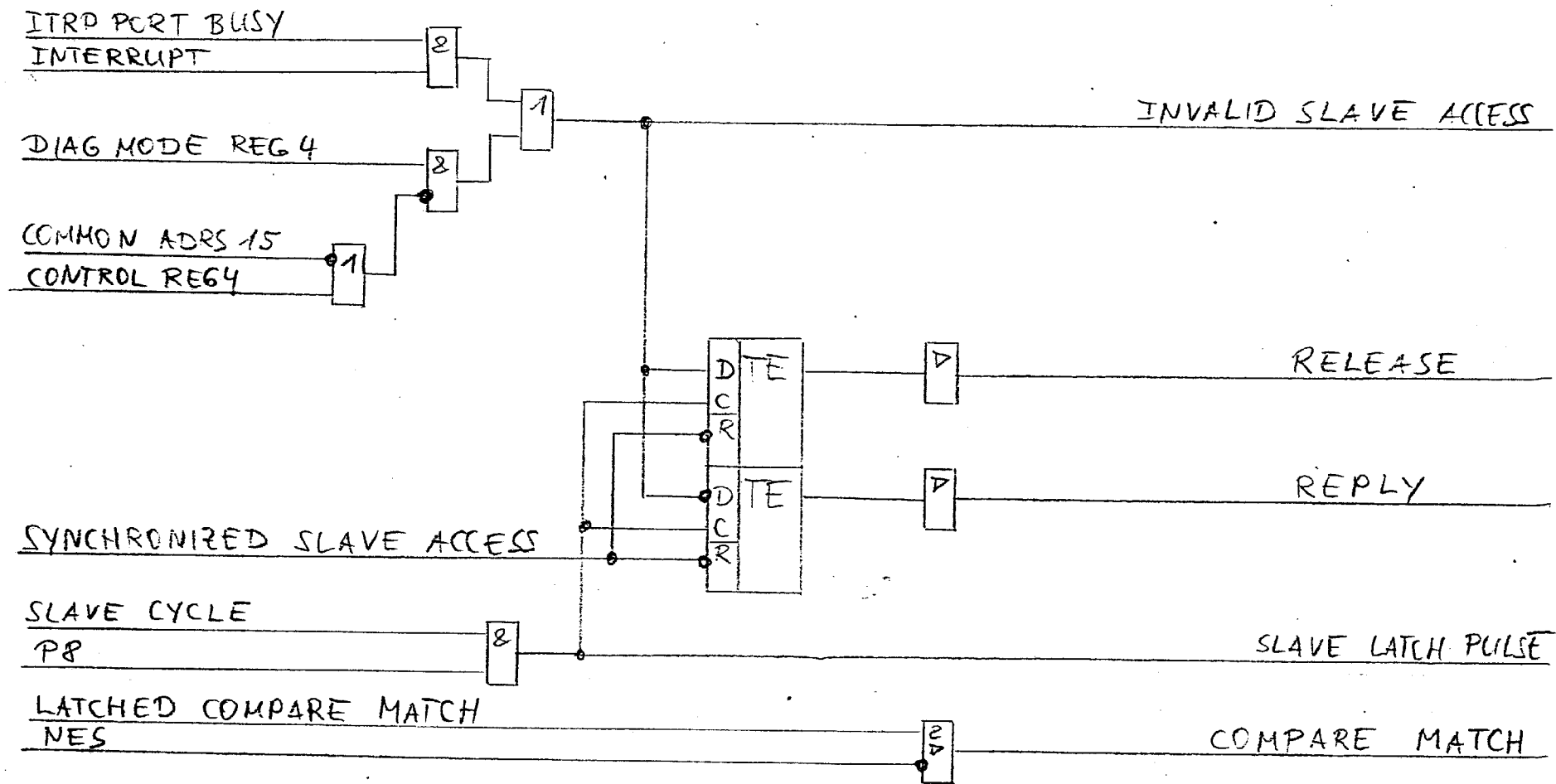
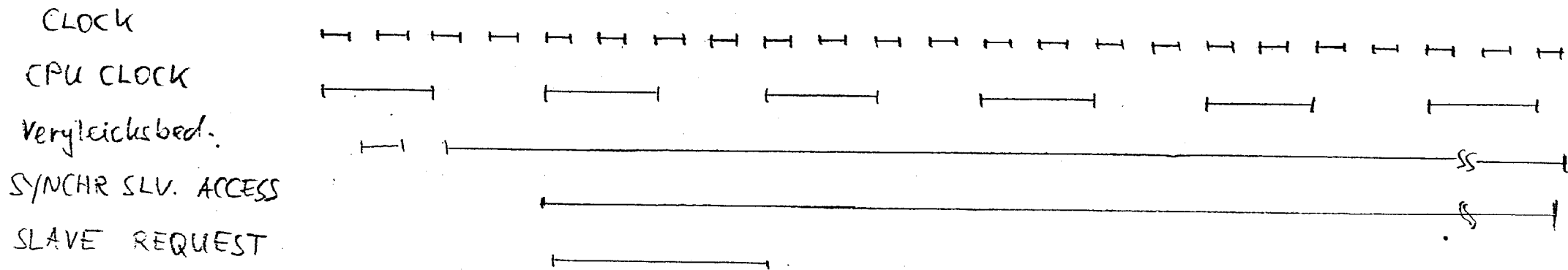
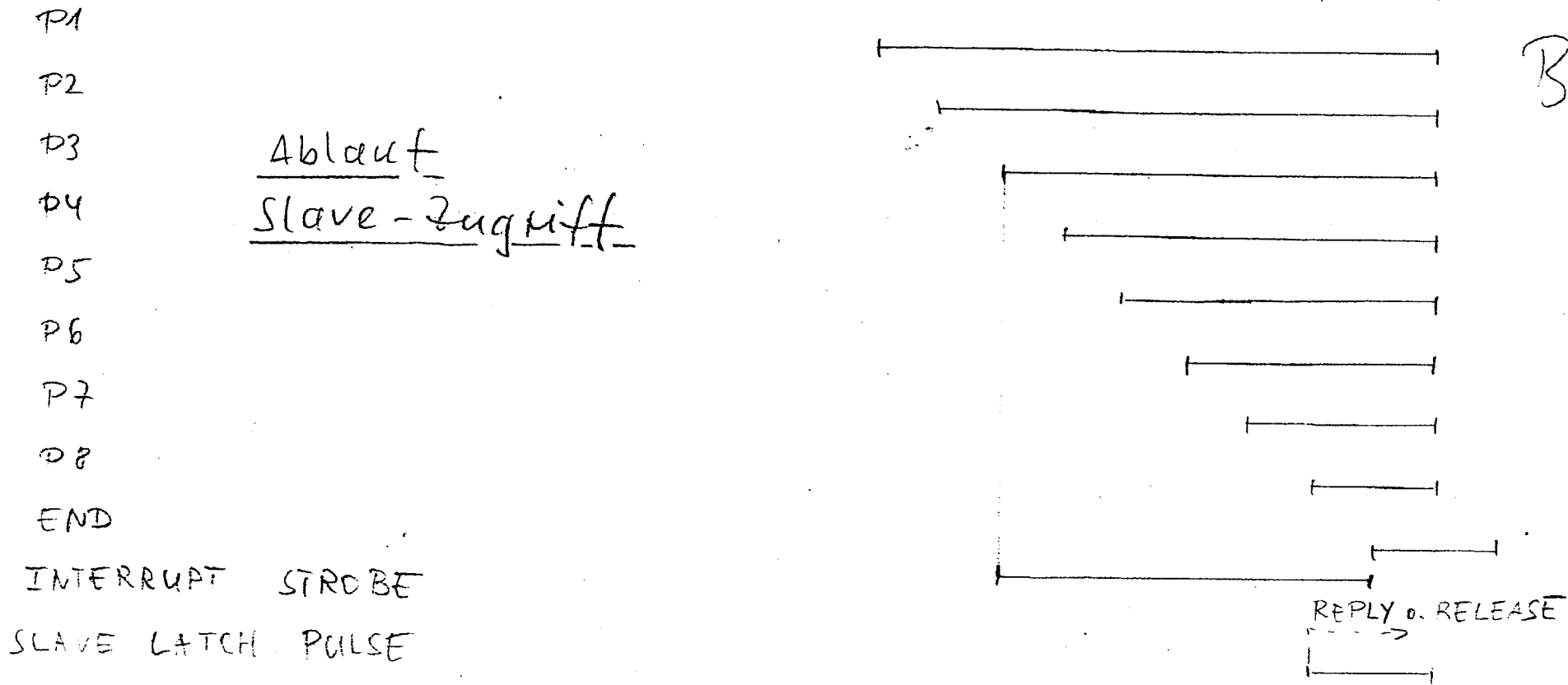


Bild 27

Antwortsignale für Slave-Zugriffe



CYCLE RUNNING



Ablauf
Slave-Zugriff

Bild 2D

Refresh - Anforderungssteuerung

Gemäß Bild 29 wird die Refresh-Adresse durch 1:32-Teilung des CPU-Taktes gezählt (der Flipflop am Takteingang des 1:16-Verteilers schaltet synchron zum CPU-Takt).

Bei jedem Weiterzählen der Refresh-Adresse wird der RETRESH REQUEST-Flipflop eingeschaltet. Dieser aktiviert einen Halteflipflop, der bis zum Ende des RETRESH-Zyklus den Takt-Flipflop eingeschaltet hält, so daß ein Weiterzählen der Refresh-Adresse erst nach Abschluß des angeforderten Refresh-Zyklus möglich ist.

1) analog
Umschaltung
CPU CLOCK

Umschaltung
gem. CPU-
takt
CLOCK

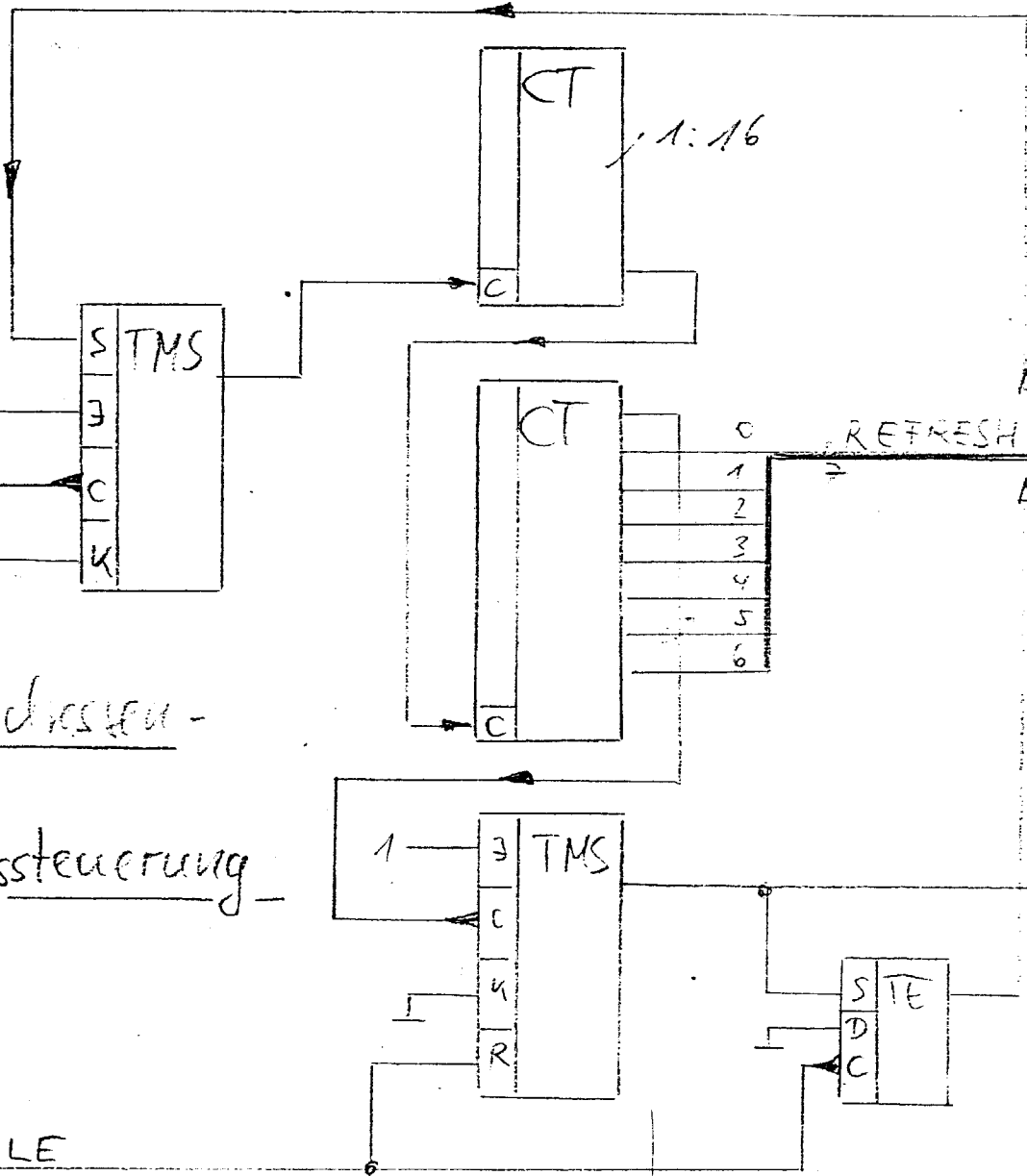


Bild 29

Refresh-Adressen-
zähler und
-Anforderungssteuerung-

REFRESH CYCLE

DIAG MODE REG B

Steuern der Master-Zugriffe

Bild 30 zeigt die Schaltmittel für das Stellen von Master-Anforderungen und für die Master-Auswahl.

In Bild 31 sind die Schaltmittel für BURST-MODE-Zugriffe dargestellt.

Master-Anforderungen entstehen, wenn MASTER REQUEST (s. Bild 21) aktiv wird.

Bei normalen Zugriffen veranlaßt ein Impuls auf der HOLD-Leitung das Erzeugen der betreffenden REQUEST-Leitung des Bussystems.

Bei BURST MODE-Zugriffen schaltet MASTER REQUEST direkt über einen BURST-MODE-Flipflop MASTER BUSY ein. Daraufhin wird zeitversetzt MASTER SELECTED eingeschaltet, wodurch die BUSY-Leitung aktiviert wird.

Die Schläufe sind in den Bildern 32-34 dargestellt.

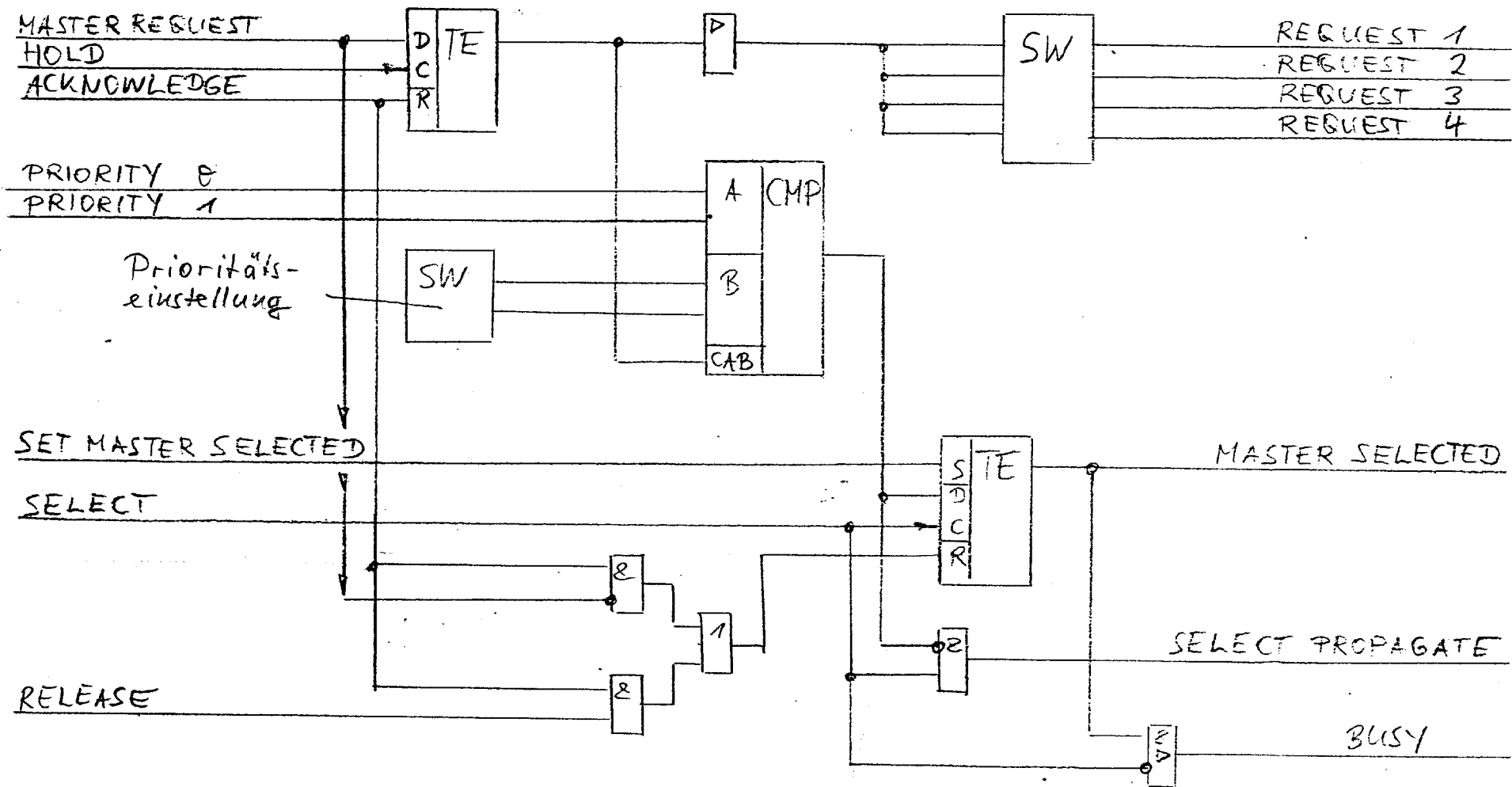


Bild 30

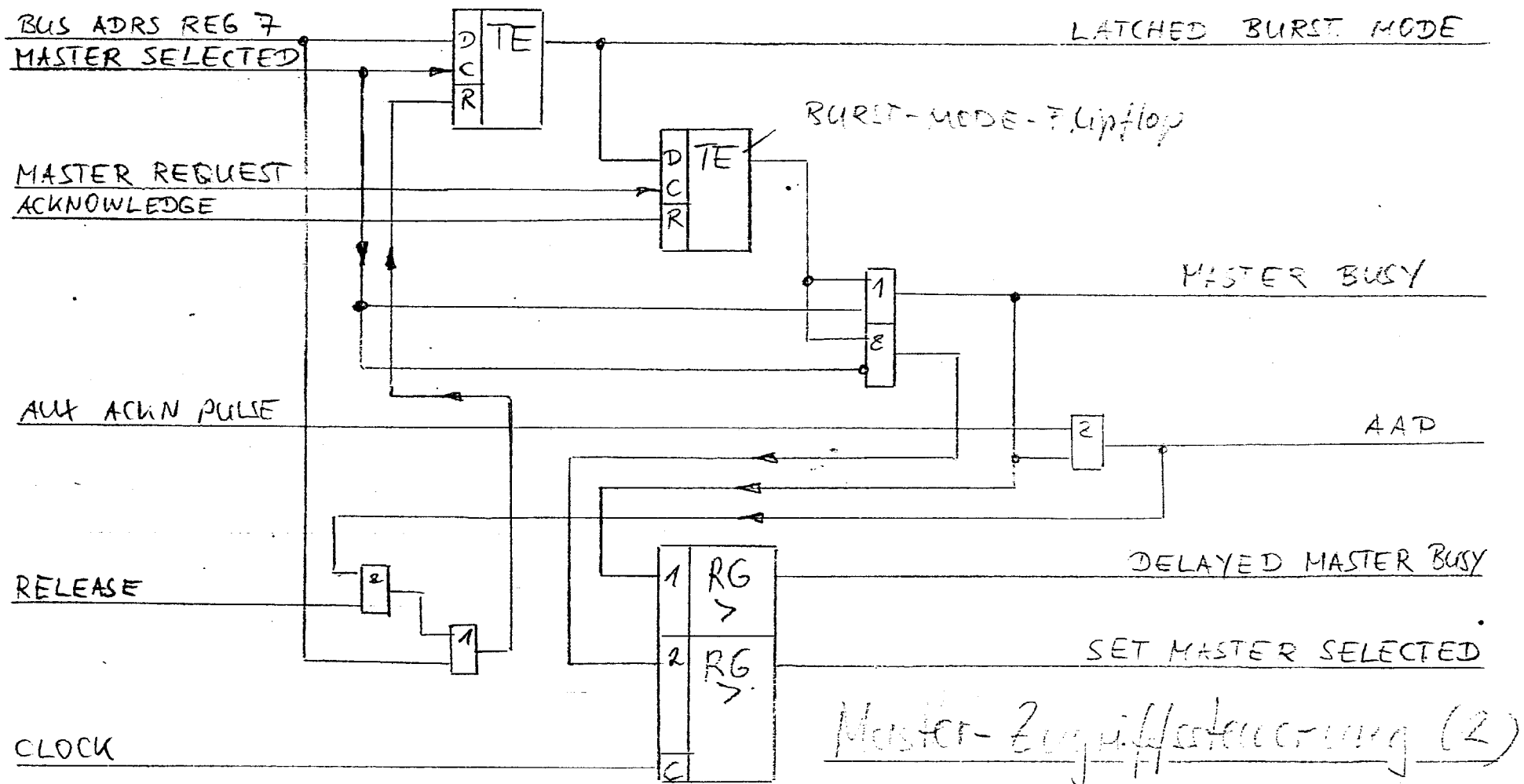
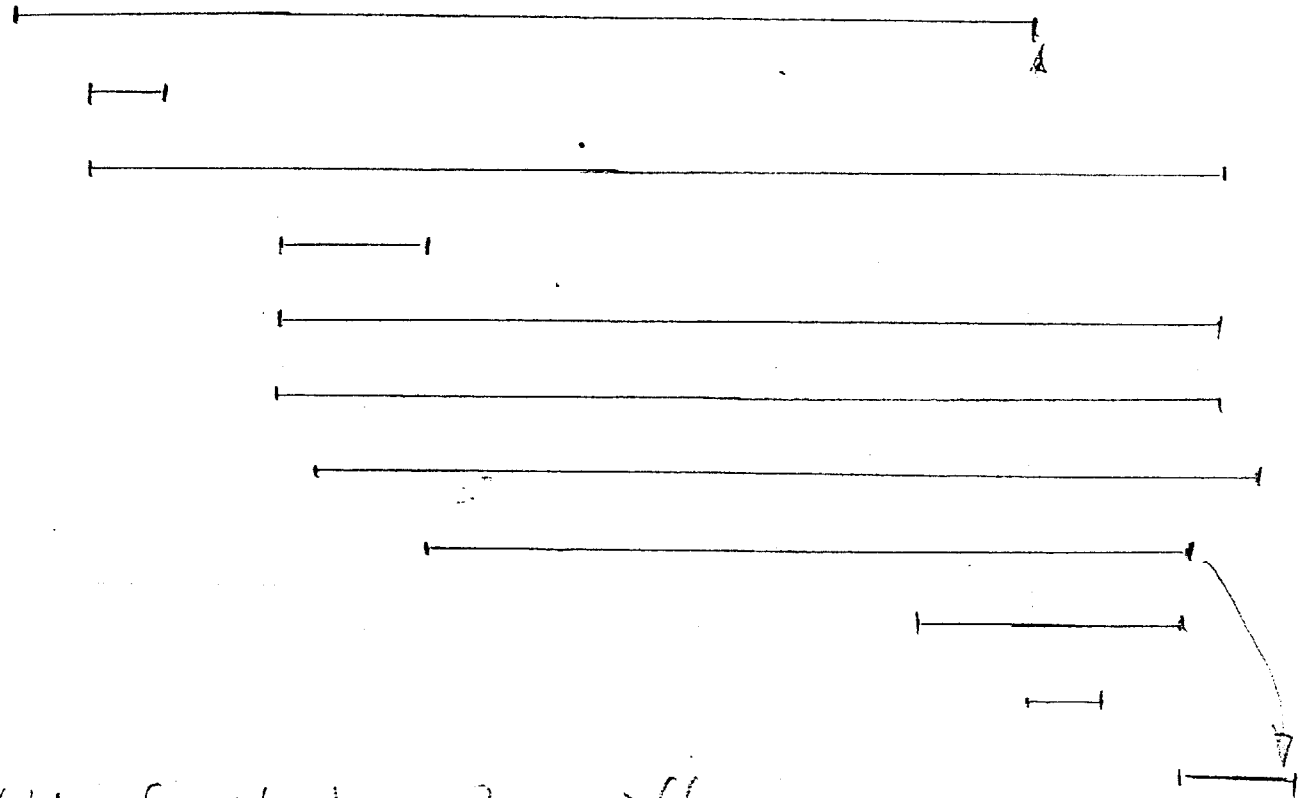


Bild 3-1

MASTER REQUEST
 HOLD
 REQUEST n
 SELECT
 MASTER SELECTED
 MASTER BUSY
 DELAYED MASTER BUSY
 BUSY
 REPLY
 AUX ACUM PULSE
 ACKNOWLEDGE



Ablauf Master-Zugriff

Bild 32

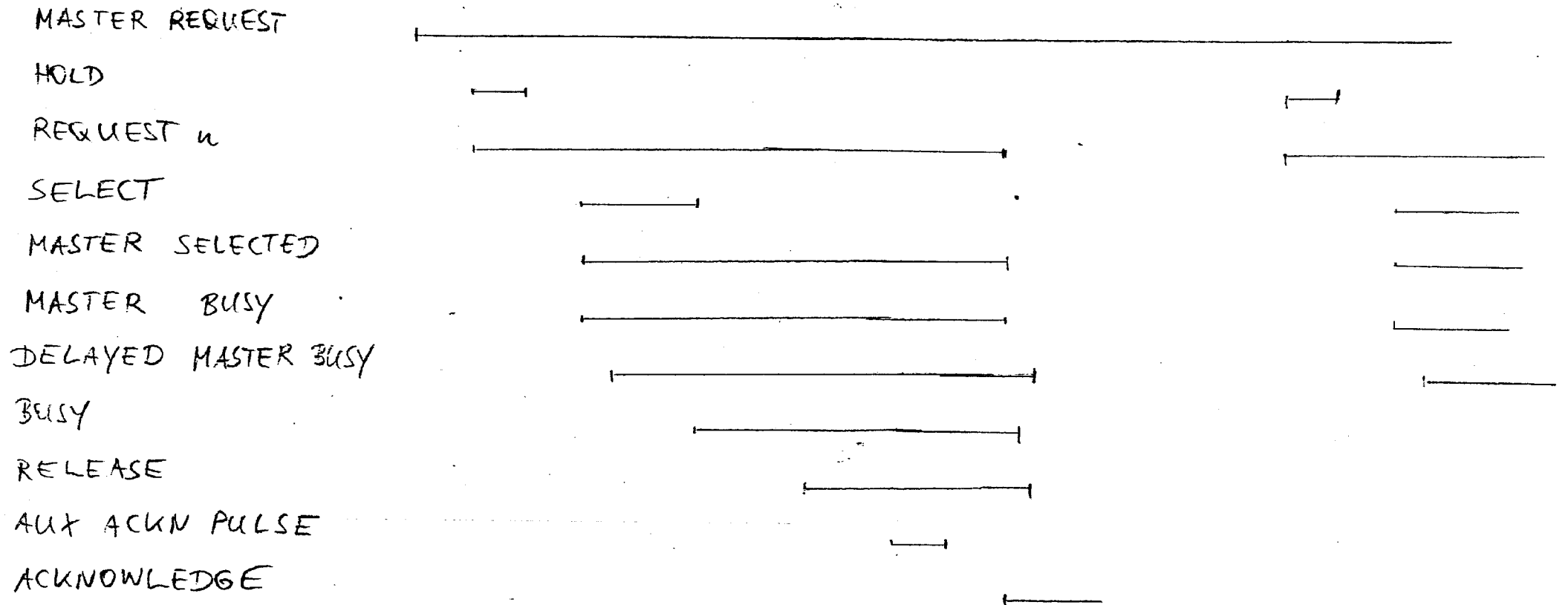


Bild 33

Master-Zugriff mit RELEASE

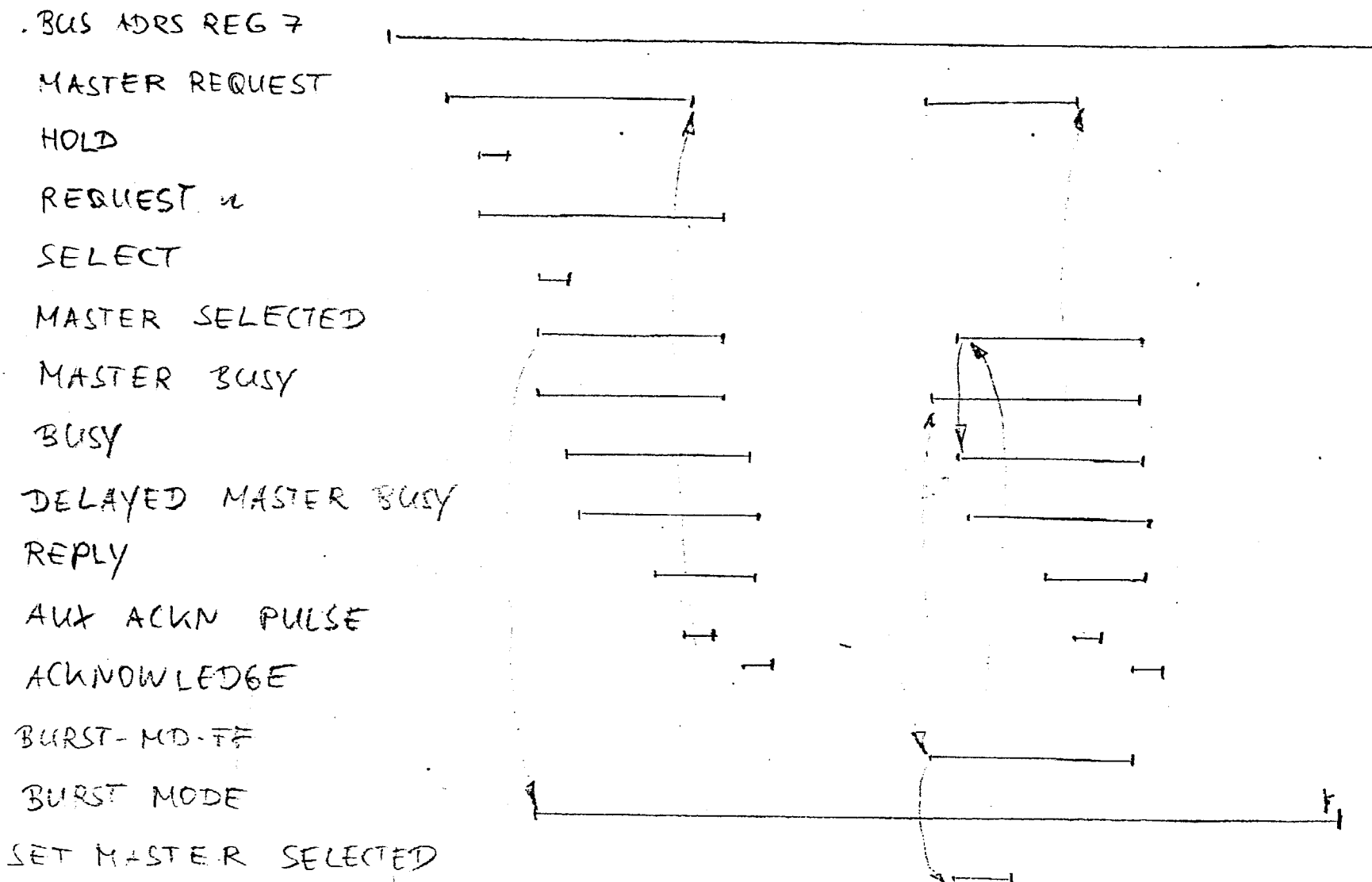


Bild 34 Zugriff im BURST MODE

Takterzeugung

Es ist ein quarzgesteuerter Taktyerator (13,8 MHz) vorgesehen.

Alternativ dazu (über DIL-Schalter wählbar) kann ein externer Takt vom Bussystem eingespeist werden (EXTERNAL INJECT).

Dieser Takt wird entweder direkt oder (über einen zweiten DIL-Schalter) 2:1 unterteilt den jeweiligen Schaltmitteln zugeführt.

Der CPU-Takt wird durch 4:1-Teilung erzeugt.

Zeitverhältnisse:

Grundtakt 13,8 MHz (Periode: 72 ns)

CPU-Takt normal 3,45 MHz (Periode 288 ns)

Refresh-Intervall normal 9,2 µs (128 Adressen: 1,2 µs)

Rücksetzen

Ein Hardware-Rücksetzen wird ausgelöst:

- durch die Busleitung RESET
- über den angesteckten Diagnoseadapter (RESET KEY)
- durch selektives Rücksetzen
- zu Diagnosezwecken durch den Refresh-Adressenzähler (einstellbar durch DIP-Schalter)

Für die Unterscheidung des selektiven Rücksetzens von den anderen Rücksetz-
Ursachen ist ein abfragbares RESET
LATCH vorgesehen (s. Bild 6)

Stellungen:

- 0 : selektives Rücksetzen
- 1 : sonstige Rücksetz-Ursache

Rücksetz-Impulse gelangen nur
dann zur Wirkung, wenn sie eine
gewisse Mindestdauer haben.

Bushopplung

Alle Daten- und Adressleitungen sind über "tri state"-Koppelstufen angeschlossen.

Für die verbleibenden Leitungen sind Schmitt-Trigger als Empfänger und "open-collector"-Stufen als Treiber vorgesehen.

Die Leitungen `AUT ACKN PULSE` und `ACKNOWLEDGE` sind an eine Umschalterschaltung angeschlossen, die Impulse unterhalb einer gewissen Mindestdauer nicht wirksam werden läßt.

Diagnostische Vorkehrungen

Mit DIL-Schaltern sind folgende Sonderzustände bzw. -wirkungen einstellbar:

1. Einspeisen eines externen Taktes:
ENABLE EXTERNAL INJECT
2. Takt - Untersetzung 2 : 1 :
DIAG SLOWDOWN
3. Betrieb der CPU mit Takt - Untersetzung
4 : 1 (288 ns Periode): SLOW MODE
4. Zyklisches Rücksetzen durch den Refresh-
adressenzähler : DIAG RESET.
5. Einspeisen von gleichzeitigen Anforderun-
gen in die Vermittlungsschaltung : DIAG REQUESTS
6. Belegen des Datenbus mit Null
vom Diagnoseadapter aus :
DIAG ZERO FORCING (Diagnoseadapter).
Dabei wird der lese - Datenweg
von der Diagnoseadapter - Koppel-
stufe zum CPU - Datenbus ständig
durchgesteuert.

Über weitere DIL-Schalter sind folgende Rückführungen zu diagnostischen Zwecken auftrennbar:

a.) Löschen des Vermittlungsregisters:
DIAG CYCLE RUNNING BREAK

b.) Rückführung von END (Löschen des Zyklusregisters):
DIAG END BREAK

c.) WAIT-Eingang der CPU:
DIAG WAIT BREAK

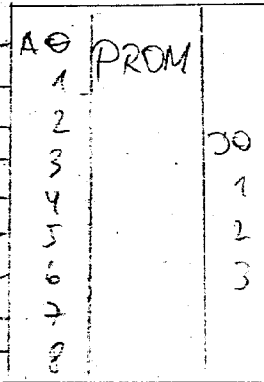
d.) Rückführung von LOOKAHEAD VALID:
DIAG LOOKAHEAD BREAK

Programmseitig sind die Refresh-Zyklen und der LOOKAHEAD-Modus ein- und ausschaltbar (DIAG MODE-Register, vgl. Bild 3).

S-88-17

CD 7-0 COMMON DATA 7-0

- 1
- 2
- 3
- 4
- 5
- 6
- 7



RAM 11-8 DI 11-8

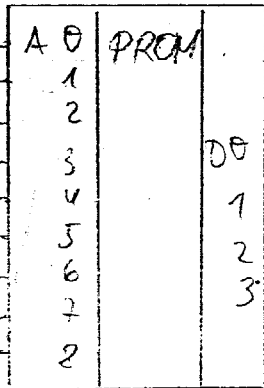
- 9
- 10
- 11

EDA ECC DATA ACCESS

S-88-D1

A15-12 CPU ADRS 15-12

- 12
- 13
- 14
- 15



ROM ACCESS RA

MASTER ACCESS MA

LOCAL ACCESS LA

NRF
CR3
IEA
NDE

REFRESH
CONTROL REG 3
INTERNAL ECC ACCESS
DIAG ZERO FORCING

4/16/85

PROM-Schaltgleichungen

1. Bildung des ECC (Bild 35)

Die ECC-Bits werden gemäß Tabelle 4 gebildet, wenn ECC DATA ACCESS inaktiv ist. Ansonsten wird die jeweilige Tetrade des Datenbytes direkt durchgesteuert.

$$DI_8 = (EDA \& CD_0) * (\neg EDA \& (CD_0 \oplus CD_2 \oplus CD_4 \oplus CD_6 \oplus CD_7 \oplus 1))$$

$$DI_9 = (EDA \& CD_1) * (\neg EDA \& (CD_1 \oplus CD_2 \oplus CD_5 \oplus CD_6 \oplus DI_8 \oplus 1))$$

$$DI_{10} = (EDA \& CD_2) * (\neg EDA \& (CD_3 \oplus CD_4 \oplus CD_5 \oplus CD_6 \oplus DI_8 \oplus DI_9 \oplus 1))$$

$$DI_{11} = (EDA \& CD_3) * (\neg EDA \& (CD_7 \oplus DI_8 \oplus DI_9 \oplus DI_{10} \oplus 1))$$

2. Decodierung aller CPU-Begriffe (Bild 35)

$$RA = NR7 \& ND2 \& (\neg CR3 * IEA) \& \neg A15 \& A14 \& A13$$

$$MA = NR7 \& ND2 \& (\neg CR3 * IEA) \& A15 \& A14$$

$$LA = NR7 \& ND2 \& \left(\left((\neg CR3 * IEA) \& (A15 * (A14 \& A13 \& A12)) \right) * (CR3 \& \neg IEA) \right)$$

3. Erlaubnissignale 1 (Bild 36)

$$DWC = NIN \& \neg RD$$

$$EWC = NIN \& \neg RD \& (EDA * CR5)$$

$$EEC = \neg EDA \& \neg CR7 \& CR5$$

$$CEC = NIN \& \neg EDA \& CR7 \& \neg CR5 \& \left((RD \& DM2) * (\neg RD \& DM3) \right)$$

4. Erlaubnissignale 2 (Bild 37)

$$HA_{13} = CA_{13} \& (UNS * (/CA_{15} \& /CA_{14} \& CA_{13} \& /CA_{12}) * EDA)$$

$$HA_{15} = CA_{15} * (/UNS \& /CA_{15} \& /CA_{14} \& CA_{13} \& /CA_{12} \& /EDA)$$

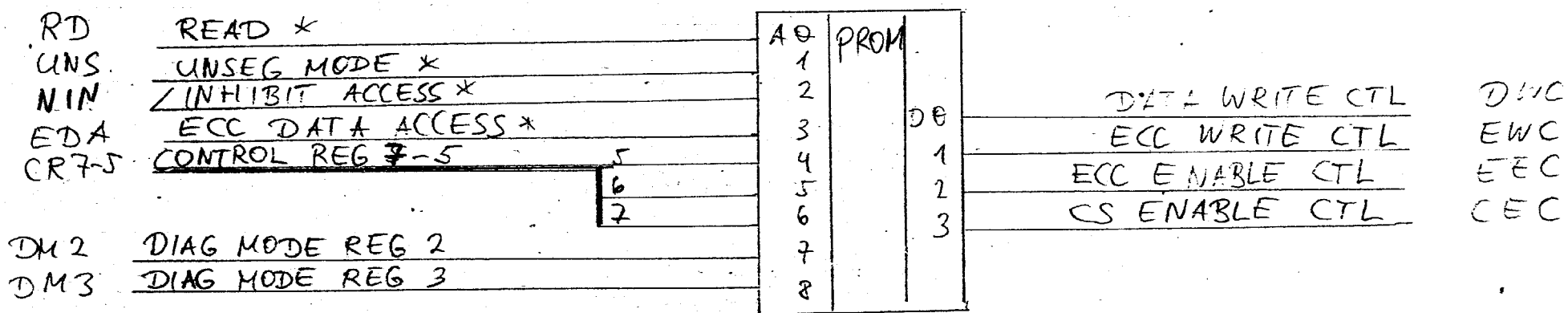
$$NGCR = (/CA_{15} \& /CA_{14} \& CA_{13} \& CA_{12}) * EDA$$

$$SRD = /NINH * EDA * (/UNS \& /CA_{15} \& /CA_{14} \& CA_{13} \& /CA_{12})$$

$$RGC = NINH \& /EDA \& /UNS \& /CA_{15} \& /CA_{14} \& CA_{13} \& /CA_{12}$$

$$RAC = NINH \& (UNS * EDA * CA_{15} * (/CA_{15} \& /CA_{14} \& CA_{13} \& CA_{12}) * (/CA_{15} \& /CA_{14} \& CA_{13} \& /CA_{12} \& /CA_2))$$

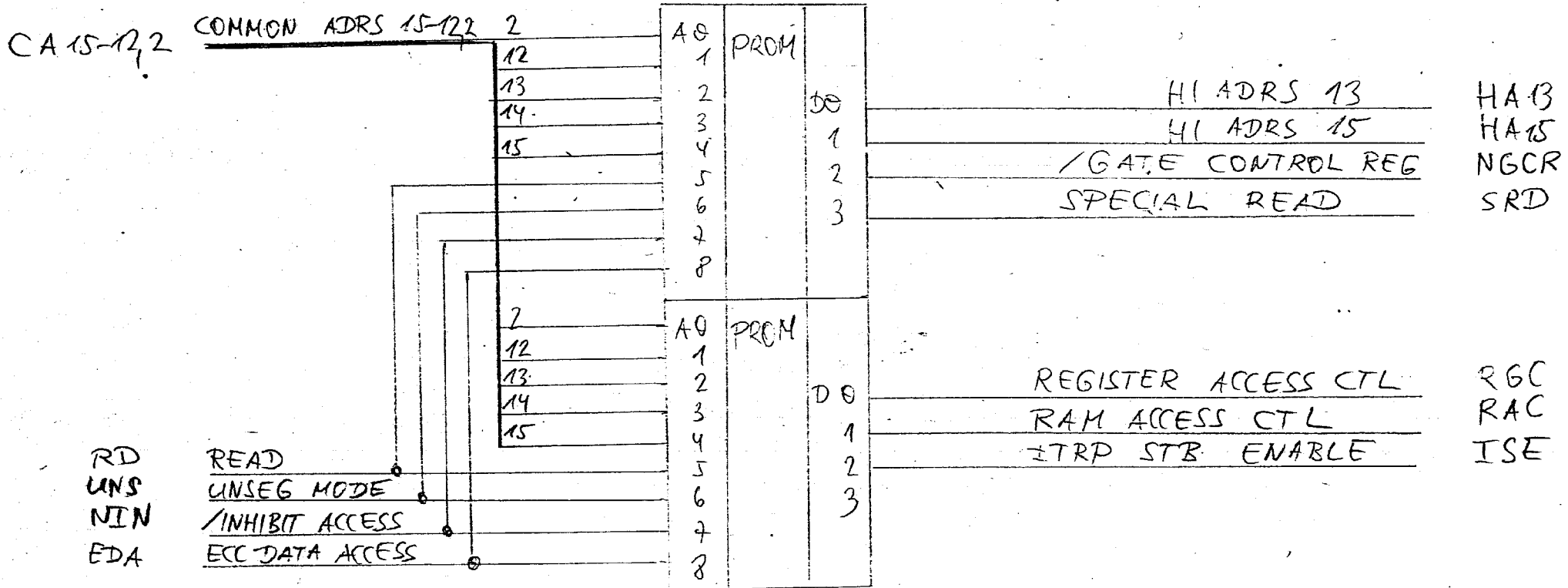
$$ISE = /NINH \& /RD$$



*	SLAVE CYCLE	STATUS
READ	READ (RECEIVED)	CPU READ
UNSEG MODE	CONTROL REG 3	/BURST MODE (RECEIVED)
/INHIBIT ACCESS	/INVALID SLAVE ACCESS	/DIAG ZERO FORCING
ECC DATA ACCESS	/BURST HD 8 CR 4	CR 7-5 sämtlich = 1

S. Bl. D 2

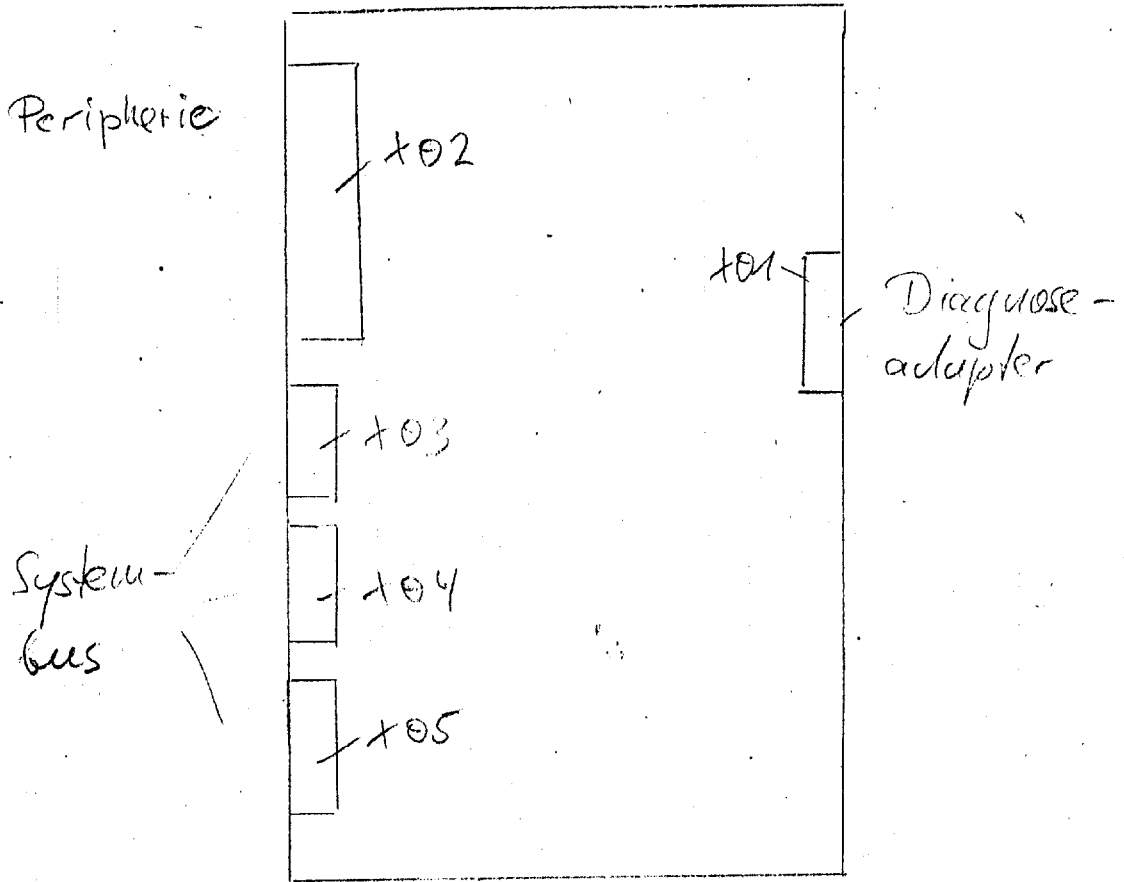
2.10.86



s. Bl. D3

Bl. 37

Steckverbinder




Belegung Diagnoseadapter-Anschluß (10-1)

Pin	Reihe B	Reihe A
1	GND (L)	Vcc
2	GND (L)	Vcc
3	GND (L)	Vcc
4	Vcc	Vcc
5	GND (L)	GND (L)
6	/DIAG PLUG PRESENCE	DATA 0
7	/RESET KEY	1
8	/DIAG DPLY 1	2
9	/DIAG DPLY 2	3
10	/HALT	4
11	/DIAG ZERO FORCING	5
12	WRITE DIAG OUT	6
13	/READ DIAG IN	7

Belegung Extern-Steckverbinder (X02)

Pin	Reihe C Anschluß	Pin	Reihe A Anschluß
2 3 4 5 6 8 9 10 11	PIO 2 ARDY A 7 A 6 A 5 A 4 A 3 A 2 A 1 A 0	2 3 4 5 7 8 9 10 11	PIO 2 /ASTB B 7 B 6 B 5 B 4 B 3 B 2 B 1 B 0
13 14 15 16 17 18 19 20 21 22	PIO 1 BRDY A 7 A 6 A 5 A 4 A 3 A 2 A 1 A 0	13 14 15 16 18 19 20 21 22	PIO 1 /BSTB B 7 B 6 B 5 B 4 B 3 B 2 B 1 B 0
24 25 26 27 28 30 31 32 33	SIO SYNCB DTRB RTSB GND (L) CTC /TC/TO2 SIO /DCDB /CTS B R+T+B R+DB	24 25 26 27 28 30 31 32 33	PIO 3 A 4 A 5 A 6 A 7 CTC C/TRG 3 SIO T+DB GND (L) GND (L) GND (L)
35 36 37 38 39 41 42 43 44	SIO R+DA /R+CA /T+TA /CTSA /DCDA T+DA GND (L) RTSA DTRA	35 36 37 38 39 41 42 43 44	SIO SYNC A PIO 3 A 0 A 1 A 2 A 3 CTC C/TRG 3 /TC/TO 1 CLOCK -13,5 MHz GND (L)

Anschluß		Pin - Nr.												
		1	2	3	4	5	6	7	8	9	10	11	12	13
X03	A	ADRS 0	ADRS 2	ADRS 3	ADRS 5	///	ADRS 8	///	ADRS 11	///	ADRS 14	ADRS 16	ADRS 18	EXT INJECT
	B	ADRS 1	///	ADRS 4	ADRS 6	ADRS 7	ADRS 9	ADRS 10	ADRS 12	ADRS 13	ADRS 15	///	ADRS 17	ADRS 19
X04	A	DATA 4	///	DATA 7	///	DATA 3	///	NES	/WRITE	///	///	///	///	/BURST MODE
	B	DATA 5	DATA 6	DATA 8	DATA 1	DATA 2	/SELECT. RESET	///	/READ	/INTER-RUPT	/RESET	/COMPARE MATCH	///	AUX ACKN PULSE
X05	A	/1ST SELECT	/BUSY	/RE-LEASE	/REPLY	ACKNOWLEDGE	HOLD	PRIORI-TY 0	PRIORI-TY 1	/REQ. 1	/REQ 2	/REQ 3	/REQ 4	///
	B	///	///	///	///	///	///	///	///	///	///	///	///	2ND SELECT

 : GND (L)

Belegung der Bus-Anschlüsse

Schulthkreisbedarf

CPU+Speicher : 21
SE ... : 19
LS ... : 51
SS ... : 54

ges : 145

Blätter	Schulthkreise
A1-A4	10
A5, 6	7
A7, 8	7
A9-A12	15
B1, 2	22
C1-C4	10
D1-D3	10
D4	5
D5, 6	6
E1, 2	4
E3, 4	6
E5, 6	7
F1	5
G1, 2	7
H1	8
H2	4
H3	3
H4, 5	9
ges.	145

CPU : 1
 SIO : 1
 PIO : 3
 CTC : 1

} 4 MHz

RAM Q282 (64k) : 12

ROM Q265 (2k) : 3

Part	SE 05	SE 16	SE 82	SE 83	SE 86
A4				1	1
A6			1		
A7			1	1	1
A8			3		
A10			2		2
B2	1				
D1	2				
D4	2				
E4		1			
ges.	5	1	7	2	4

Blatt	SS00	SS03	SS04	SS08	SS 10	SS11	SS20	SS32	SS74	SS P6	St 12	St 74	St 94	S/S 57	S/S P	S/S P0	S 271	SS40
A6												1						
A7																	1	
A9															2			
A12														2				
B2			2							2						4		
C1	1	1						1										
C2											2							
C3											1							
C4							1	1										
D1 = 4														1				4
E1				1														
ES/6	1			1					1									
F1											2							
G1/2				1					1			1						
H1	1			1		1			2		2							1
H2/3	2				1				1				2	1				
H4/5	1					1			1									
ges.	6	1	2	4	1	2	1	2	6	2	2	3	2	3	2	4	5	1

Blott	LS00	LS04	LS08	LS10	LS11	LS14	LS20	LS21	LS32	LS38	LS74	LS85	LX8	LX93	LY57
A1		1													
A4								1							
A6													2		
A11														3	2
A12															2
B2							1								
C3	1														
C4						1									
D2					1										
D3			1												1
D4		1		1											
D5/6	1		2	1	2										
E1/E2							2			1					
E3							1			1			1		
E4										1	1	1			
E6	1						1				1				
F1	1		1		1										
G1, G2	1	1									1	1			
H4, H5	2		1				1				2				
qs	7	3	5	2	4	4	3	1		3	5	2	3	3	5